

İçindekiler

Deneylerle İlgili Genel Bilgiler ve Uyarılar	1
Deneyler İçin Malzeme Listesi	1
Deneylerde Dikkat Edilmesi Gereken Konular.....	3
Analog ve Dijital Elektronik Eğitim Sisteminin Tanıtımı.....	5
Eğitim Sistemi.....	5
Eğitim Sistemi Deney Tablası	5
Güç Kaynakları	6
Dijital Voltmetre	6
İşaret Üretici	6
Darbe Üretici	6
Çınlamasız Bas-Bırak Anahtarlar	6
Anahtarlar	6
Ayarlı Dirençler	7
Hoparlör.....	7
BNC bağlantısı	7
Göstergeler.....	7
Lojik LED Göstergeler	7
Deney 1: Lojik Kapıların Lojik Gerilim Seviyeleri	9
Deney 2: Kod Dönüştürücü ve Kodlayıcı Tasarımı	13
Deney 3: Seçici ve Kod Çözücü İle Uygulamalar	17
Deney 4: Paralel Toplama Devresi Tasarımı.....	21
Deney 5: Tümlleşik Paralel Toplayıcı ve EPROM Devreleri	25
Deney 6: Ardışıl Devre Analizi	29
Deney 7: Ardışıl Devre Sentezi (Dizi Algılayıcı).....	35
Deney 8: Asenkron Sayıcılar	39
Deney 9: Yazmaç ve Programlanabilir Lojik Devreler İle Uygulamalar	43
EKLER.....	47
EK 1. Deneyde Kullanılan Tümlleşik Devrelerin Katalog Bilgileri	47
Kaynaklar.....	63

Şekil Listesi

Şekil 1 Analog ve Dijital Eğitim Sistemi'nin görünümü.....	5
Şekil 2 Eğitim sisteminin Deney Tablası.....	5
Şekil 1.1 DEĞİL lojik kapısı.....	9
Şekil 1.2 DEĞİL kapısının lojik gerilim seviyeleri	9
Şekil 1.3 Lojik gerilim seviyelerini belirlemek için kurulacak devre.....	10
Şekil 2.1 BCD-3 fazla kod dönüştürücü devre	14
Şekil 2.2 Bir 3-Bit kodlayıcının lojik devresi.....	15
Şekil 4.1 Yarı toplama devresi	21
Şekil 4.2 Tam toplama devresi.....	22
Şekil 4.3 3-bitlik paralel toplama devresi.....	22
Şekil 5-1 4-Bit paralel toplayıcı deneyi için devre diyagramı	25
Şekil 5-2 SPDT anahtar kullanımı	26
Şekil 5-3 4-bitlik büyüklük karşılaştırıcı için deney düzeni.....	26
Şekil 6.1 Analizi yapılacak devre.....	29
Şekil 6.2 Tümlleşik eleman sayısı minimumlaştırılmış analizi yapılacak devre.....	30
Şekil 6.3 Hatalı çıkışın gözlenmesi	31
Şekil 6-4 D=00 başlangıç durumu için zaman diyagramı	31
Şekil 6-5 D=11 başlangıç durumu için zaman diyagramı	32
Şekil 7.1 (010) dizisini algılayan Moore ve Mealy makinelerine ilişkin durum diyagramları.....	35
Şekil 7.2 Minimum tümlleşik elemanlı Mealy ve Moore (010) dizi algılayıcı.....	36
Şekil 8.1 SSI elemanlı BCD sayıcı devresi	39
Şekil 8.2 Dual 4-Bit ikili sayıcı kullanılarak oluşturulan 8-Bit asenkron ikili sayıcı	40
Şekil 8.3 modülo-6 asenkron sayıcının lojik devresi	40
Şekil 9.1 Giriş ve çıkış verileri yazmaçlarda tutulan bir seri toplama devresi	44

Tablo Listesi

Tablo 2-1 BCD-3 fazla kod dönüştürücü doğruluk tablosu.....	13
Tablo 2-2 3-Bit kodlayıcının doğruluk tablosu	14
Tablo 3-1 1-Bit Tam toplayıcının doğruluk tablosu.....	17
Tablo 4-1 3-bitlik paralel toplayıcının giriş/çıkış tablosu	23
Tablo 5-1 4-Bit paralel toplayıcı ve karşılaştırıcı için fonksiyon tablosu	26
Tablo 5-2 EPROM'un karşılaştırıcı işlevi için veri tablosu	28
Tablo 9-1 4-bitlik seri toplayıcının giriş/çıkış tablosu	45

Deneylerle İlgili Genel Bilgiler ve Uyarılar

- 1- Hangi öğrencinin hangi gruba, nerede, hangi deneyi ne zaman yapacağı öğrenciye önceden duyurulur.
- 2- “Genel Bilgiler” okunmalı, gerekirse ders notlarından da yararlanılmalıdır.
- 3- “Deneyden Önce Yapılacaklar “ bölümünde istenenler deneyden önce mutlaka yapılmalıdır.
- 4- Deney sonundaki sorular deneyden önce mutlaka yanıtlandırılmaya çalışılmalıdır.
- 5- “Deneyde Yapılacaklar“ ın tamamı deneyden önce mutlaka anlayarak okunmalı, gerekirse ders notlarından da yararlanılmalıdır.
- 6- Deney sırasında gruplar arasında bilgi veya malzeme alış veriş yasaktır.
- 7- Deney sırasında grup elemanlarının kendi aralarında “ALÇAK SESLE” konuşmaları verimli laboratuvar çalışması yapılabilmesi açısından zorunludur.
- 8- Deneyde yapılacaklardan herhangi biri bittiğinde görevliye gösterilip onay alınmalıdır.
- 9- Deneylerle ilgili sorular deney sırasında tartışılacak ve bir değerlendirme notu verilecektir.
- 10-Yönetmelik gereğince öğrenci deneylere %80 oranında devam etmek mecburiyetindedir. Devam her deneyde yoklama yapılarak saptanacaktır.
- 11-Öğrencinin gelmediği deneyden alacağı not sıfırdır.
- 12-Öğrencinin yalnızca bir deneyi telafi etme hakkı vardır.

Deneyler İçin Malzeme Listesi

Eleman	Adet	Açıklama
74LS00	2	TTL VEDEĞİL kapısı tümleşik devresi
74LS04	1	TTL DEĞİL kapısı tümleşik devresi
74LS08	2	TTL VE kapısı tümleşik devresi
74LS32	2	TTL VEYA kapısı tümleşik devresi
74LS86	2	TTL Özel-VEYA kapısı tümleşik devresi
74LS112	2	TTL JK bellek tümleşik devresi
74HC112	2	HCMOS JK bellek tümleşik devresi
74LS138	1	TTL Kod çözücü tümleşik devresi
74LS153	1	TTL çoğullayıcı tümleşik devresi
74LS194	2	TTL Ötelemeli yazmaç
74LS283	1	4 bit ikili toplayıcı
74LS393	1	4 bit dual asenkron sayıcı tümleşik devresi
CD4049	1	CMOS DEĞİL kapısı tümleşik devresi
GAL22V10	1	Tekrar Programlanabilir Lojik tümleşik devresi
Tek damarlı 0.5mm kalınlığında 3m kablo, Penset, Yan keski		

Deneylerde Dikkat Edilmesi Gereken Konular

Deneye ilişkin devrelerin hatasız çalışmasına katkıda bulunmak için dikkat edilmesi gereken konular aşağıda sıralanmıştır. Bu konulara dikkat edilmesinin bedeli hatayı saptayıp düzeltmek için harcanan süredir.

- Deney tablalarının alt ve üstlerindeki yatay bağlantıları besleme ve toprak için kullanırsanız, devreyi kontrol etmeniz kolaylaşır.
- Bağlantı tellerinin uçlarındaki plastiği çok fazla sıyırmamalı. Aksi taktirde yan yana gelen tellerin uçları kısa devre olabilir.
- Bağlantı tellerini yuvalarına sokarken sıkı geçmeyi sağlamanız yeter. Fazla bastırılması telin ucunun katlanmasına, sonraki kullanımlarda ise kırılmasına neden olur.
- Bağlantı tellerini keskin bükmemeniz, içten kırılıp devrenin normal çalışmasına engel olabilir.
- Bağlantı tellerinin uçlarının bükük değil, dosdoğru olmasına dikkat ediniz. Yuvalara sokma çıkarma işlemi kolaylaşır ve deney setinin ömrü uzar.
- Bütün yukarıdakileri yapmanıza rağmen beklenen sonuçlar gözlenemiyorsa, kontrolü aşağıdaki sırada yapmalısınız.

- . Yanlış bağlantı
- . Kopuk tel
- . Elemanların bozuk olması
- . Deney seti cihazlarının hatalı olması
- . Ölçü aletinin hatalı olması (sigortası atık veya pili bitmiş)
- . Osiloskop cihazının hatalı olması

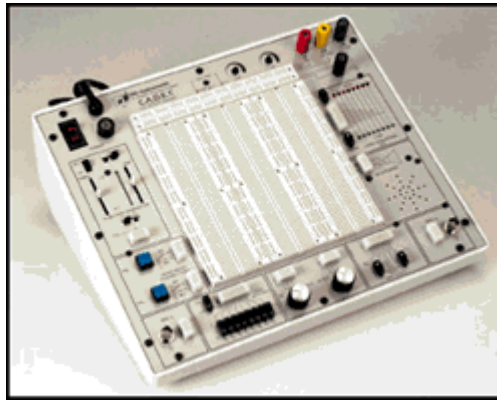
İlk iki sorun size bağlı olup öncelikle kontrol edilmelidir.

Analog ve Dijital Elektronik Eğitim Sisteminin Tanıtımı

Deneyler sırasında kullanılacak laboratuvar cihazlarının incelenmesi, deneylerin daha verimli ve faydalı olmasını sağlayacaktır. Bunun için önce laboratuvar cihazlarına ait bilgiler, ders kitabından, ders notlarından ve katalog bilgisi bulunarak incelenmelidir. Elektronik devre analizi programının (Electronics Workbench), kullanılması, benzetim özellikleri incelenecektir. Başlangıç olarak programda bulunan DC gerilim kaynakları, lojik devre analizinde ve tasarımında kullanılan dijital ölçü aletleri değişik değerler verilerek çalıştırılacak ve sonuçlar incelenmelidir.

Eğitim Sistemi

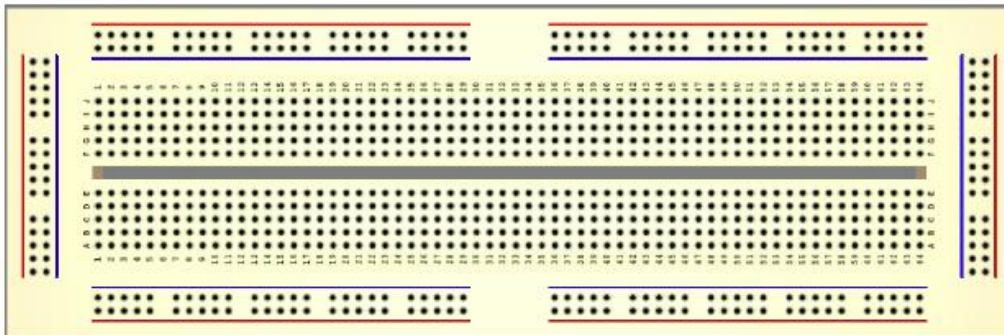
Analog ve Dijital Elektronik Eğitim Sistemi, içinde deney tablası, güç kaynakları, dijital voltmetre, işaret üretici, darbe üretici, bas-bırak anahtarlar (butonlar / debounced pushbuttons), anahtarlar, ayarlı dirençler (potansiyometreler), hoparlör, BNC bağlantısı, 7-parça LED göstergeler, lojik 0/1 için LED gösterge birimleri bulunan tümleşik bir sistemdir. Bu eğitim sistemi lojik devre uygulamalarını öğrenmek, incelemek ve tasarlamak amacıyla kullanılacaktır. Tümleşik eğitim sistemi, devre ve bağlantılarıyla birlikte Şekil-1'de görülen biçimdedir.



Şekil 1 Analog ve Dijital Eğitim Sistemi'nin görünümü

Eğitim Sistemi Deney Tablası

Eğitim sisteminde, normal tek damar bakır montaj kablosu kullanılarak devre elemanları arasında 396 parça 2520 nokta bağlantı yapılabilen, Şekil-2'de bir bloğunun resmi görülen deney tablası bulunmaktadır.



Şekil 2 Eğitim sisteminin Deney Tablası

Güç Kaynakları

- Sabit DC çıkışlı +5V @ 1.0A, dalgalanma <5mV.
- +V ayarlanabilir DC O/P 0V – 15V arası(150 mA @ 1.3V, 500mA @ +15V maks.), dalgalanma <5mV
- -V ayarlanabilir DC O/P 0V – -15V arası(150 mA @ -1.3V, 500mA @ -15V maks.), dalgalanma <5mV
- Sabit orta uçlu AC çıkışlı 12.6VAC(orta uçtan 6.3VAC) @ 100mA maks.

Dijital Voltmetre

Otomatik kademeli bir DC dijital voltmetredir. $\pm(000.0-199.9)$ mV, $\pm(0.200-1.999)$ V, $\pm(2.00-19.99)$ V ve $\pm(20.0-199.9)$ V aralıklarında 4 kademesi vardır. Girişi ± 300 V'a kadar yüksek gerilimlere karşı korumalıdır.

İşaret Üretici

Frekans Aralığı: 0.1Hz'den 1MHz'e kadar 7 kademe.

Çıkış Gerilimi: 0 - ± 10 V (20V tepeden tepeye), kısa devre korumalı.

Çıkış İşareti Dalga Şekilleri: Sinüs dalga, Kare dalga, Üçgen dalga ve TTL darbe.

Sinüs Dalga: 10Hz – 100kHz aralığındaki bozulma (distortion) maksimum %3.

TTL darbe: maksimum 25 ns yükselme ve düşme zamanı. 10 adet TTL yük sürebilir.

Kare dalga: maksimum 0.5 μ s yükselme ve düşme zamanı.

Düğüm nokta sayıları: Sinüs, kare ve üçgen dalga için 6, TTL darbe için 2 adet.

Darbe Üretici

1Hz'den 1MHz'e kadar 6 kademesi bulunan anahtarla seçilebilir pozitif kare dalga kaynağıdır. Bir anahtar vasıtasıyla 2 tip çıkıştan hangisinin alınacağı belirlenebilir: 5V'luk tepeden tepeye gerilim veren TTL darbe çıkışı ya da 0V-15V arası tepeden tepeye gerilim kaynağıyla değeri ayarlanabilir değişken CMOS darbe çıkışı. 8 düğüm noktası ile devrelere bağlantı yapılabilir.

Çınlamasız Bas-Bırak Anahtarlar

Her ikisi de açık kolektör (OC, open collector) çıkışlı, biri normalde açık ve diğeri ise normalde kapalı kontaklı oluşturan ve her biri devrelere bağlantı için 8 düğüm noktasına sahip, çınlama bozulması (debounced) giderilmiş iki tane bas bırak anahtar (pushbuttons) vardır.

Anahtarlar

Lojik Anahtarlar

8 lojik anahtar'ın her biri lojik '0' ya da lojik '1' seviyesini seçmek içindir. Lojik '0' seviyesi 0V iken lojik '1' seviyesi yatay duran 9. anahtar ile deney setinin üzerindeki +5V'luk kaynağın değeri ya da diğer 0 - +15V arası ayarlanabilir kaynağın değeri seçilebilir.

Düğüm nokta sayısı: her bir anahtar için 2 adet.

SPDT Anahtarlar

2 tane SPDT (Tek Kutuplu Çift Yollu, Single Pole Double Throw) anahtardan her birinin 2 devreden alınan giriş ve 2 devreye bağlantı yapılabilecek çıkış olmak üzere 4 düğüm noktası bulunmaktadır. Giriş düğümleriyle anahtarın düşük ve yüksek seviye için her iki çıkış düğümüne vereceği gerilim değeri belirlenir.

Ayarlı Dirençler

1 adet $1k\Omega$ 'a kadar ayarlanabilen, 1 adet $10k\Omega$ 'a kadar ayarlanabilen 2 ayarlı direncin (potansiyometre, POT) uç ucunun her birinin bağlantısı için 4 adet düğüm noktası bulunmaktadır.

Hoparlör

0.25W, 8Ω , iki ucunun her birinin bağlantısı için 4 adet düğüm noktası.

BNC bağlantısı

Osiloskoptan devreye giriş almak ya da devreden osiloskoba çıkış vermek amacıyla kullanılan bağlantıdır(BNC kablosu ile yapılır.). 8 giriş/çıkış düğümüne sahiptir.

Göstergeler

Çubuk grafiği(Bar graph):

Giriş gerilim seviyesi 0 - 5V DC olan 10 haneli bir göstergedir. Giriş gerilimi 0V'dan başlayarak yükseltilmeye başlandığında ilk olarak en soldaki hane yanar, yaklaşık 0.5V aralıklarla giriş gerilim seviyesi yükseldikçe soldan sağa doğru diğer haneler de yanmaya başlar.

İkili kodlanmış onluk girişli 7 haneli gösterge(BCD to seven segment display):

2 adet vardır. Her biri A,B,C ve D giriş düğümlerinden gelecek ikili değerlerden 0-9 arasını gösterebilirler. 9'dan büyük değerlerde bütün haneler sönmüş durumda olacaktır. Hiçbir giriş bağlı değil ise göstergelerden her biri 0 değerini gösterir.

Lojik LED Göstergeler

Lojik '1' seviyesini gösteren 8 kırmızı LED ile lojik '0' seviyesini gösteren 8 yeşil LED.

Lojik '1' eşiği: 2.2V

Lojik '0' eşiği: 0.8V

Giriş empedansı: $100k\Omega$

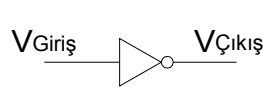
Düğüm nokta sayıları: her biri için 2 tane.

Deney 1: Lojik Kapıların Lojik Gerilim Seviyeleri

Deneyin Amacı: Lojik kapıların giriş ve çıkış lojik gerilim seviyelerinin ölçülmesi

Genel Bilgiler:

Bir giriş ve bir çıkışlı en basit lojik kapı olan DEĞİL (NOT) kapısı çıkışında girişinin tümleyenini verir. Şekil 1.1.a'da DEĞİL kapısının lojik sembolü ve 1.1.b'de ise, doğruluk tablosu görülmektedir.



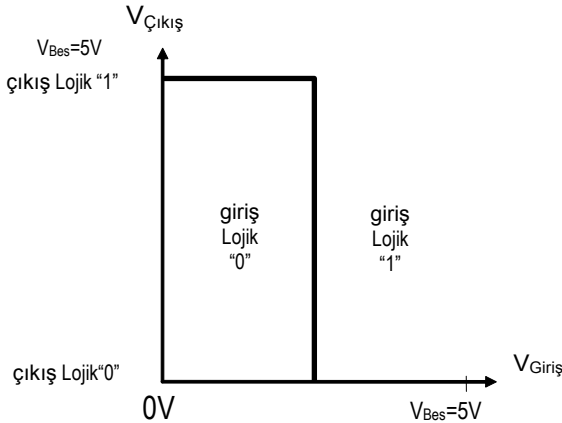
$V_{Giriş}$	$V_{Cıkış}$
0	1
1	0

(a) lojik sembolü

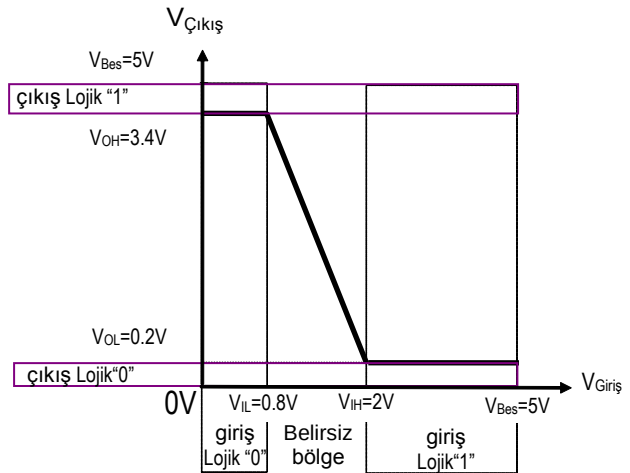
(b) doğruluk tablosu

Şekil 1.1 DEĞİL lojik kapısı

Şekil 1.2.a'da görüldüğü gibi teorik olarak DEĞİL kapısının girişine lojik 0(1)'a karşı düşen gerilim uygulandığında, çıkışında lojik 1(0)'e karşı düşen bir gerilim gözlenir. Fakat pratikte, girişte ve çıkışta görülecek gerilim seviyeleri kapı yapımında kullanılan teknolojiye bağlı olarak değişir. Örnek olarak TTL (Transistor Transistor Lojik) teknolojisi ile yapılmış bir DEĞİL kapısı için gerilim seviyeleri Şekil 1.2.b'de gösterilmiştir.



(a) İdeal lojik gerilim seviyeleri



(b) Pratikteki lojik gerilim seviyeleri

Şekil 1.2 DEĞİL kapısının lojik gerilim seviyeleri

Buna göre kritik gerilim seviyeleri ;

V_{IH} : Girişin lojik 1 olarak algılanabilmesi için uygulanması gereken en küçük gerilim seviyesi,

V_{IL} : Girişin lojik 0 olarak algılanabilmesi için uygulanması gereken en büyük gerilim seviyesi,

V_{OH} : Çıkışın lojik 1 olarak değerlendirilebilmesi için gözlenmesi gereken en küçük gerilim seviyesi,

V_{OL} : Çıkışın lojik 0 olarak değerlendirilebilmesi için gözlenmesi gereken en büyük gerilim seviyesidir.

($V_{IH}-V_{IL}$), ($V_{OH}-V_{OL}$) gerilim aralıkları sırasıyla girişler ve çıkışlar için belirsiz olan aralıklardır.

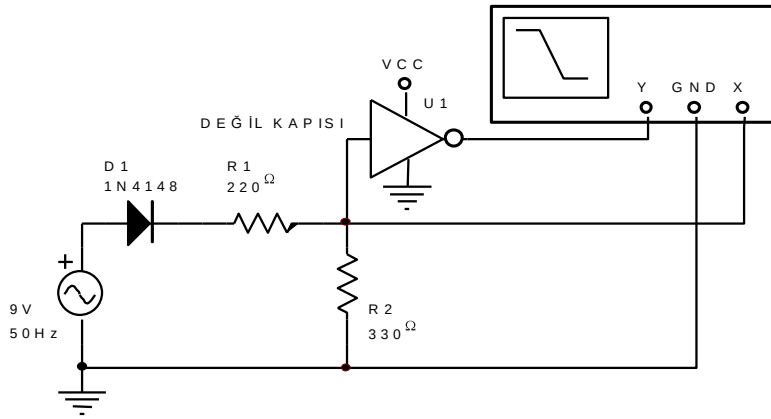
Şekil 1.2.a'da görüldüğü gibi ideal halde girişin lojik 0 ve lojik 1 değerine belli bir gerilim aralığı karşı gelmesine rağmen, çıkışın lojik 0 ve lojik 1 değerini sabit gerilim değerleri oluşturmaktadır.

CMOS teknolojisiyle üretilmiş bir DEĞİL kapısında da giriş ile çıkış arasında, TTL teknolojisiyle üretilmiş DEĞİL kapısına benzer bir ilişki vardır. Ancak en önemli farklılık CMOS teknolojisiyle üretilmiş tümleşik devrenin besleme geriliminin 3-15V arasında değişebilmesidir. Bu deneyde CMOS tümleşik devreler için besleme gerilimi 5V alınacaktır.

Deney Öncesi Yapılacak İşlemler:

- 1- TTL DEĞİL (NOT kapısı, 74LS04) ve CMOS DEĞİL (NOT kapısı, CD4049) tümleşik devreleri için katalogta verilen parametrelerin tanımlarını ve bu parametrelere ilişkin tablolardaki sınır değerleri inceleyiniz.
- 2- Deneyin sonunda yer alan soruları yanıtlamaya çalışınız.

Deneyde Yapılacak İşlemler:



Şekil 1.3 Lojik gerilim seviyelerini belirlemek için kurulacak devre.

- 1- Yukarıda açıklanan parametreleri 74LS04 DEĞİL tümleşik devresi için gözlemek amacıyla Şekil 1.3'deki devreyi deney düzeneğiniz üzerinde kurunuz.
 - DEĞİL tümleşik devresinin 5V besleme ve toprak bağlantılarını yapınız.
 - 74LS04 lojik tümleşik devresine negatif gerilim uygulanmasını önlemek için osilatörden alınan ve tepe değeri 9V olan sinüs işareti bir diyottan geçirilir. Böylece işaretin yalnız pozitif yarım alternansı elde edilir.
 - R1 ve R2 dirençleri DEĞİL kapısının girişinde 0-5 V gerilim değişimini elde etmek için gerilim bölücü olarak kullanılırlar.
 - Netice olarak Şekil 1.3'de kesikli çizgilerle belirtilen devre, Şekil 1.2.b'de verilen grafiğin yatay eksenindeki, 0 ile +5V DC değerleri arasında değişen gerilim değerlerinin, DEĞİL kapısının girişine uygulanmasını sağlar.
 - DEĞİL elemanının giriş gerilimi aynı zamanda osiloskop ekranında görülmesi için osiloskobun X girişine uygulanır. (Osiloskop bağlantılarını BNC ile yapınız)
 - DEĞİL elemanının girişine uygulanan gerilim ile değişen çıkış işareti ise, osiloskobun Y girişine uygulanır. (Osiloskop bağlantılarını BNC ile yapınız)

- Böylece osiloskop X-Y modunda çalıştırıldığında ekranda DEĞİL kapısının girişi ile çıkışı arasında Şekil 1.2.b'ye benzer bir karakteristik gözlenir.
- 2- Osiloskop ekranındaki eğri üzerinden lojik gerilim seviyelerini ayrı ayrı belirleyiniz. (V_{IL} , V_{IH} , V_{OL} , V_{OH})
 - Osiloskobun gerilim seviyesine ilişkin "variable" düğmesi kapalı tutulmalıdır. Aksi takdirde yanlış gerilimler gözlenir.
- 3- Şekil 1.3'deki devreyi CD4049 CMOS DEĞİL tümleşik devresi için kurup 2. adımı tekrarlayınız. (Besleme gerilimi 5V alınacaktır.)
- 4- TTL VE (AND) lojik kapısının girişlerine, kritik gerilim seviyelerine uygun değerler (Lojik 0 girişi için $V \leq V_{IL}$, lojik 1 girişi için $V \geq V_{IH}$) uygulayarak çıkışlarını gözleyiniz ve doğruluk tablosunu elde ediniz.

Sorular:

- 1- Deneyde kullanılan TTL ve CMOS teknolojisi ile üretilen lojik tümleşik devrelerde besleme gerilimi sınırları nelerdir? (Katalog bilgisine başvurunuz.)
- 2- TTL teknolojisiyle üretilmiş DEĞİL kapısının gecikme süresi değerini katalogdan bulunuz. Bu kapının bulunduğu bir devrenin hızının en fazla ne olabileceğini belirtiniz. Bu hız, pratikte **çalışma frekansı** olarak adlandırılır. (İpucu: Gecikme süresi kadar olan zaman aralığında girişin değişmemesi gerekir ki kapı o giriş değerine ilişkin çıkışı verebilsin. Aksi takdirde uygulanan girişe ilişkin oluşması gereken çıkış daha çıkışa ulaşmadan değişen yeni girişe göre çıkış oluşmaya başlar ve esas girişin çıkış kaybolabilir.)
- 3- CMOS DEĞİL tümleşik devresi (CD4049) için kapı gecikmesi değerlerini farklı besleme değerleri için saptayınız. Buna göre böyle bir elemanın bulunduğu devrenin çalışma frekansı besleme gerilimine bağlı olarak en fazla ne olabilir?
- 4- 2. ve 3.soruların yanıtları ışığında TTL ve CMOS teknolojilerini çalışma frekansı açısından karşılaştırınız.
- 5- Aynı devrede farklı teknolojiyle üretilmiş lojik kapıların kullanılması çalışma frekansını nasıl etkiler? Açıklayınız.
- 6- 74LS04 tümleşik devresi için elde ettiğiniz değerleri ekte verilen katalog bilgilerinden yararlanıp, TTL teknolojisiyle üretilmiş farklı ürünlerle karşılaştırınız. (74LS04, 74S04 (S:Schottky, LS:Low Power Schottky),... gibi)
- 7- CD4049 CMOS tümleşik devresi için benzer işlemi tekrarlayınız.
- 8- TTL iki girişli VE, VEYA ve Özel-VEYA kapılarının gecikme sürelerini karşılaştırınız.
- 9- CMOS iki girişli VE, VEYA ve Özel-VEYA kapılarının gecikme sürelerini karşılaştırınız.
- 10-Dijital lojik tümleşik devrelerde "Yelpaze" (Fan-out) kavramını açıklayınız. Devre tasarımında dikkate alınmaması durumunda karşılaşılabilecek sorunları yazınız.
- 11-Çıkış yelpazesi 4 olan bir kapının çıkışı 50 kapiya bağlanmak istenmektedir. Bunu gerçekleştirebilmek için çıkış yelpazesi 10 olan tampon (buffer) kapıları ne şekilde bağlanmalıdır?

Malzeme Listesi:

- 1 adet 1N4148 diyot
- 1 adet 74LS04 TTL DEĞİL tümleşik devresi
- 1 adet 74LS08 TTL VE tümleşik devresi
- 1 adet CD4049 CMOS DEĞİL tümleşik devresi
- 1 adet 330 Ω direnç
- 1 adet 220 Ω direnç

Deney 2: Kod Dönüştürücü ve Kodlayıcı Tasarımı

Genel Bilgiler:

Bu deneyde, SSI (**S**mall **S**cale **I**ntegration: Küçük Ölçekte Tümlleştirme, 1-9 kapı) devreler kullanarak bir BCD den 3 fazla (Excess-3) kod dönüştürücüsü ve 8'den 3'e bir kodlayıcının sentezi yapılacaktır.

Lojik devre sentezi yöntemleri genel olarak iki grupta toplanabilir. Birincisi sözle tanımdan doğruluk tablosuna geçmek ve bu tablodan da Quine-McCluskey yöntemi ile yada Karnaugh diyagramı uygulamasıyla minimal fonksiyonu bulmaktır. Minimal fonksiyona karşı düşen devre iki seviyeli gerçekleştirilebilir. Birinci yöntemin iki farklı uygulamasından hangisinin seçileceği bağımsız değişken sayısı ile saptanır. Değişken sayısı 4-5'e kadar olan fonksiyonlarda Karnaugh diyagramı uygulaması daha çabuk sonuca ulaştıracağından tercih edilir. İkinci yöntem ise sözle tanımdan bir algoritma çıkararak bu algoritmaya karşı düşen devreyi gerçekleştirmektir. Bu yöntem genellikle değişken sayısı fazla olan ve/veya keyfi çıkışları fazla olan fonksiyonların gerçekleştirilmesinde daha yararlıdır. Örneğin ders notlarında incelenen, karşılaştırma ve 4 bitlik toplama devreleri bu yöntemle gerçekleştirilmiştir. Birinci yöntemin uygulanmasındaki güçlük değişken sayısı ile doğruluk tablosunun üstel biçimde büyümesidir. İkinci yöntemde bu güçlük görülmez.

Bu iki genel yöntem dışında, bir de doğruluk tablosuna karşı düşen Boole fonksiyonunda lojik işlemler yapılarak bulunan eşdeğer fonksiyonların gerçekleştirilmesi yöntemi vardır. Ancak genel kurallar verilememiştir. O nedenle lojik işlemler sezgisel olarak yapılmaktadır. Diğer bir yöntem, Özel-VEYA kapıları kullanarak yapılan tasarım yönteminin genel kuralları verilmiştir ancak bu dersin kapsamı içine alınmamıştır.

Bu deneyde ilk iki yöntemle ilişkin birer örnek devre incelenecektir. Birincisi BCD 'den (Binary Coded Decimal) 3 fazla koduna dönüştürücünün tasarımıdır. İkincisi ise 8 girişli 3 çıkışlı kodlayıcı tasarımıdır.

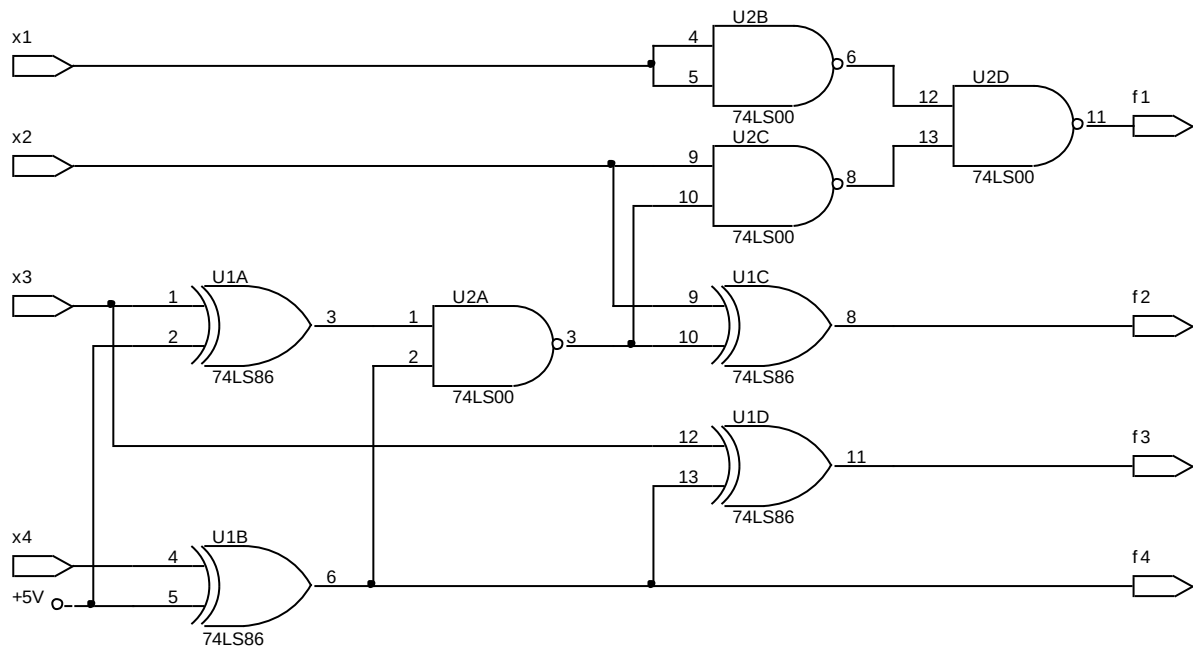
BCD-3 fazla Kod Dönüştürücü

Sözle Tanım: Bağımsız girişler BCD kodları temsil eden ($x_1x_2x_3x_4$) değişkenleridir. En yüksek ağırlıklı bit (MSB: **M**ost **S**ignificant **B**it), x_1 dir. Çıkışlar ise 3 fazla kodunu temsil eden ($f_1f_2f_3f_4$) bağımlı değişkenlerdir. MSB f_1 'dir. Bu devrenin çıkışında girişine uygulanan sayının üç fazlası görülür. Çıkış fonksiyonlarına ilişkin doğruluk tablosu aşağıda verilmiştir.

Tablo 2-1 BCD-3 fazla kod dönüştürücü doğruluk tablosu

x_1	x_2	x_3	x_4	f_1	f_2	f_3	f_4
0	0	0	0	0	0	1	1
0	0	0	1	0	1	0	0
0	0	1	0	0	1	0	1
0	0	1	1	0	1	1	0
0	1	0	0	0	1	1	1
0	1	0	1	1	0	0	0
0	1	1	0	1	0	0	1
0	1	1	1	1	0	1	0
1	0	0	0	1	0	1	1
1	0	0	1	1	1	0	0
10-15				k	k	k	k

$f_1f_2f_3f_4$ ün minimal fonksiyonları bulunduktan ve lojik işlemler yapıldıktan sonra bulunan fonksiyonlara karşı düşen devre aşağıda Şekil 2.1 de verilmiştir.



Şekil 2.1 BCD-3 fazla kod dönüştürücü devre

8 Girişli 3 Çıkışlı Kodlayıcı

Sözle tanım: Üç bitlik kodlayıcının (encoder), $2^3=8$ bağımsız girişi ($g_0, g_1, g_2, g_3, g_4, g_5, g_6, g_7$) ve üç çıkışı vardır. Giriş değişkenlerinden bir tanesi 1, diğerleri 0 iken; 1 değerini alan giriş değişkeninin indisi çıkışta ikili kodlanmış olarak görülür. Örneğin $g_3=1$, diğer değişkenler 0 iken çıkış 011'dir. Bu sözünü ettiğimiz girişlerin sayısı giriş değişkeni sayısı kadar, yani 8 tanedir. Oysa toplam $2^8=256$ tane giriş vardır. Söz konusu girişlerin dışında 248 giriş hiçbir zaman uygulanmamaktadır, yani bu girişler için çıkışlar keyfidir.

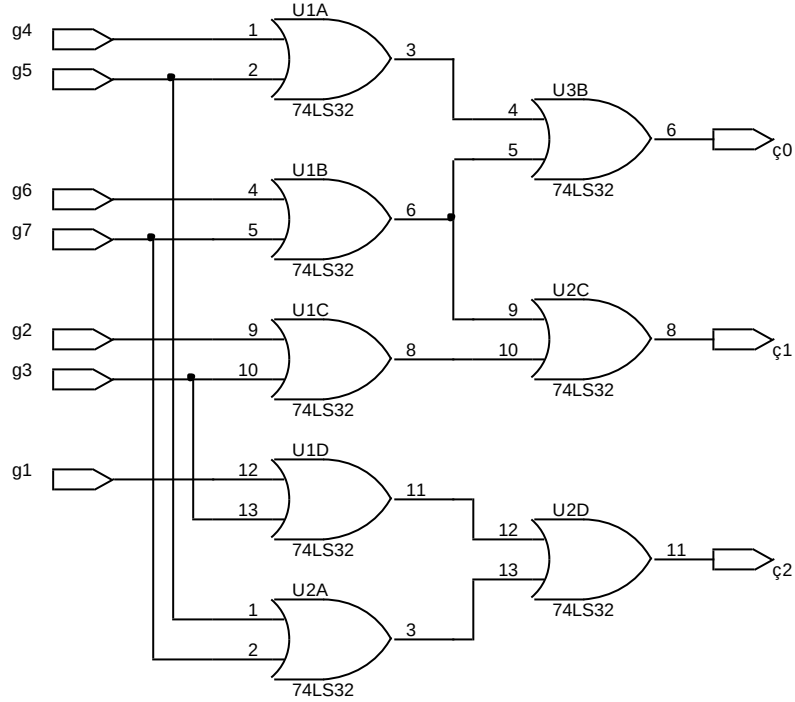
Algoritmayı bulmak için ipucu olarak; çıkış fonksiyonlarının 1 değerini alması, hangi girişlerin 1 olmasını zorunlu kılmaktadır diye düşününüz. Bu girişlerin VEYA edilmesi istenen fonksiyonu verir.

İnceleyeceğimiz devrenin doğruluk tablosu Tablo 2-2’de verilmiştir.

Tablo 2-2 3-Bit kodlayıcının doğruluk tablosu

g_0	g_1	g_2	g_3	g_4	g_5	g_6	g_7	c_0	c_1	c_2
1	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	0	1	1
0	0	0	0	1	0	0	0	1	0	0
0	0	0	0	0	1	0	0	1	0	1
0	0	0	0	0	0	1	0	1	1	0
0	0	0	0	0	0	0	1	1	1	1

Sonuç devre Şekil 2.2’de verilmiştir.



Şekil 2.2 Bir 3-Bit kodlayıcının lojik devresi

Deney Öncesi Yapılacak İşlemler:

- 1- Genel Bilgiler kısmını ve ders notlarından ilgili kısımları çalışınız.
- 2- Kullanılan tümleşik devrelerin katalog bilgilerini inceleyiniz.
- 3- Deneyin sonunda yer alan soruları yanıtlamaya çalışınız.

Deneyde Yapılacak İşlemler:

1-

- a) Şekil 2.1'deki devreyi deney düzeneğiniz üzerine kurunuz.
 - Tümleşik devrelerin besleme ve toprak bağlantılarını yapınız.
 - Üç değişkenin tümleyenini ilave bir DEĞİL tümleşik devresi kullanmadan elde edebiliriz. ÖZEL-VEYA kapısının bir girişi 1, diğer girişi tümleyeni alınacak değişkene bağlanırsa, çıkışında girişteki değişkenin tümleyeni görülür. Nedenini düşününüz.
 - ($x_1x_2x_3x_4$) girişlerine, istediğiniz değerleri verebilmek için, birer lojik anahtara bağlayınız.
 - Lojik anahtarın yanındaki +V ve 5V seçeneğini sağlayan anahtarı 5V konumuna getiriniz. Bizim deneylerimizde TTL tümleşik devreleri kullanıldığından bu seçim yapılmıştır. CMOS tümleşik devreler kullanılsaydı +V seçeneği seçilirdi.
 - $f_1f_2f_3f_4$ çıkışlarını gözleyebilmek için LED'lere (Light Emitting Diode) bağlayınız. Bu ışık veren diyotlardan kırmızısı yandığında çıkışın lojik 1 olduğunu, yeşili yandığında ise çıkışın lojik 0 olduğunu gösterir.
 - LED'lerin bulunduğu yerde siyah renkli iki anahtar vardır. (TTL-CMOS) seçenekli anahtarı TTL konumuna, (+V-5V) seçenekli anahtarı ise 5V konumuna getiriniz.
- b) Kurduğunuz devrenin dönüştürme işlemini yaptığını sağlatınız.

2-

- a) Şekil 2.2 deki devreyi deney düzeneğiniz üzerinde kurunuz.
 - Tümlleşik devrelerin besleme ve toprak bağlantılarını yapmayı unutmayınız.
 - Dört girişli VEYA kapıları yerine iki girişli VEYA kapıları kullanılmıştır.
 - ($g_0, g_1, g_2, g_3, g_4, g_5, g_6, g_7$) girişlerini, istediğiniz değerleri verebilmek için lojik anahtarlara bağlayınız.
 - Devrenizin üç çıkışını gözleyebilmek için LED'lere bağlayınız.
- b) Kurduğunuz devrenin, doğruluk tablosunu oluşturarak, üçlü kodlama işlemini yaptığını sađlatınız.

Sorular:

- 1- Kod dönüştürücü için bulunan minimal fonksiyonlardan, gerçeklediğiniz eşdeğer fonksiyonlara nasıl geçildiğini gösteriniz.
- 2- Kod dönüştürücü devreyi, doğrudan minimal fonksiyonları yalnızca VEDEĞİL kapıları kullanarak gerçekleyiniz. Deneydeki devre ile bulduğunuz bu devreyi eleman sayısı, tüm devre sayısı, giriş yelpazeleri ve gecikmeler açısından karşılaştırınız.
- 3- Kod dönüştürücü devreye ilişkin fonksiyonlarda görülen keyfiler (k) bir yarar sağladı mı? Neden?
- 4- Deneyde gerçekleştirdiğiniz kod dönüştürücü devrede farklı fonksiyonlar için ortak kullandığınız kapılar oldu mu? Bu sonucu çok çıkışlı devrelerdeki bir genel kurala dönüştürebilir misiniz?
- 5- Kod dönüştürücünün yukarıda verilen doğruluk tablosu ile sizin bulduğunuz doğruluk tablosunu karşılaştırınız. Farklılıkların nedenini açıklayınız.
- 6- Kodlayıcıda 4 girişli VEYA yerine 2 girişli VEYA kullanabileceğimiz Boole cebrinde toplama işleminin hangi özelliğine dayanmaktadır. VEDEĞİL işlemi için bunu kullanabilir miyiz?
- 7- Kodlayıcıda 4 girişli VEYA yerine 2 girişli VEYA kullanmak bir zorunluluk çünkü giriş yelpazesi 4 olan VEYA kapısı katalogda yoktur. Oysa 4 girişli VEDEĞİL kapısı katalogda var. Buna göre Devreyi VEDEĞİL kapılarıyla gerçekleseydiniz tümlleşik devre sayısı bakımından bir yarar sağlar mıydınız? Neden?
- 8- Kodlayıcı devrede bir kapıyı farklı iki fonksiyon için ortak kullanmanın bir yararı oldu mu? Neden?
- 9- Kodlayıcıda hiçbir indirgeme düşünmeden devreyi gerçekleştireseydiniz kaybınız ne olurdu?
- 10-Kodlayıcı devrenizde özel 8 girişin dışında 248 giriş için keyfi değer alan çıkışlar hangi değerleri alırlar? Neden?
- 11-En genel anlamda bir BCD Excess kodlayıcıyı öğrenci numaranızın son rakamına göre tasarlayın. (Numarası 0 ile bitenler 2, 3 ile bitenler 4 alacaktır.)
- 12-4-bit Gray koddan 4-bit binary sayıya dönüştüren devreyi Özel-VEYA kapılarıyla tasarlayınız.

Malzeme Listesi:

- 1 adet 74LS86 Özel-VEYA tümlleşik devresi
- 1 adet 74LS00 VEDEĞİL tümlleşik devresi
- 2 adet 74LS32 VEYA tümlleşik devresi

Deney 3: Seçici ve Kod Çözücü İle Uygulamalar

Genel Bilgiler:

Orta Ölçekli Tümlleşik (MSI) elemanları içerisinde 10-99 arasında kapı elemanı bulunduran tümlleşik devre elemanlarıdır. Bunlar arasında toplama devreleri, karşılaştırma devreleri, seçiciler (MUX), kod çözücüler (Decoder, Demultiplexer) ve kodlayıcılar (encoder) lojik devre derslerinde görülmüştü. Bu deneyde kod çözücü ve seçici uygulamalarına ilişkin örnekler verilecektir.

Kod Çözücü: Bu elemanlar özel amaçlar için kullanıldıkları gibi birden fazla Boole fonksiyonunu ilave VEYA kapıları ile gerçekleştirilmede de kullanılırlar.

Kod çözücünün seçicinin tersi (Demultiplexer) olarak kullanımı, girişlerin seçiciliği altında izin (enable) ucunun çıkışa aktarılması biçiminde olur. Kod çözücünün giriş çıkış ve kontrol uçları ile iç yapısı için katalog bilgisine başvurunuz.

Seçiciler: MSI seçici elemanları da, kod çözücülerde olduğu gibi, özel amaçlarla veya Boole fonksiyonlarının gerçekleştirilmesinde kullanılırlar. Özel amaçlı kullanımına bir örnek farklı veri kaynaklarından gelen bilgilerin aynı veri yolundan ardı ardına gönderilmesidir. MSI seçici elemanının içinde, kapasitesine göre olabilecek bütün minimum terimlere karşı gelen VE kapıları ve bunların çıkışlarının bağlı olduğu bir VEYA kapısı vardır. Üç seçicili bir seçici için $2^3=8$ giriş, üç seçici kontrol girişi ve bir çıkış vardır. Bu kapasitede bir seçici ile 4 değişkenli herhangi bir fonksiyon gerçekleştirilebilir. Seçici çeşitleri için kataloga, daha fazla bilgi için ise ders notlarına bakınız. Seçici ve kod çözücü çıkışları genellikle “aktif 0” olur. Yani fonksiyonun doğru minimum teriminde ilgili çıkışta 0, yanlış minimum teriminde ise 1 görülür. Katalogda 74LS138’i inceleyiniz.

Deney Öncesi Yapılacak İşlemler:

- 1- Deneyde kullanılacak tümlleşik devrelerin katalog bilgilerini inceleyiniz
- 2- Boole fonksiyonlarının seçici ve kod çözücü elemanları ile gerçekleştirilmesi konusuna ders notlarınızdan çalışınız.
- 3- Deneyin sonunda yer alan soruları yanıtlamaya çalışınız.

Deneyde Yapılacak İşlemler:

Tablo 3-1 1-Bit Tam toplayıcının doğruluk tablosu

x	y	z	S	C
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Tablo 3-1’de bir 1-Bit tam toplayıcının doğruluk tablosu verilmiştir. Deney sırasında tasarımlar, açıklamalar ışığında kendiniz tarafından yapılacaktır.

1-

- a) 74LS138 kod çözücüyü kullanarak yukarıdaki tam toplayıcıyı gerçekleştiriniz.
- 5V besleme ile toprak bağlantılarını yapınız.
 - İzin uçlarının her birini lojik anahtara bağlayarak, katalog bilgisine göre uygun değerler veriniz.
 - Lojik anahtarların yanındaki +V ve 5V seçeneğini sağlayan anahtarı 5V konumuna getiriniz. Bizim deneylerimizde TTL tümleşik devreleri kullanıldığından bu seçim yapılmıştır. CMOS tümleşik devreler kullanılsaydı +V seçeneği seçilirdi.
 - LED'lerin bulunduğu yerde siyah renkli iki anahtar vardır. (TTL-CMOS) seçenekli anahtarı TTL konumuna, +V ve 5V seçenekli anahtarı ise 5V konumuna getiriniz.
 - Fonksiyonların x y z girişlerini lojik anahtarlar üzerinden kod çözücünün CBA girişlerine bağlayınız.
- b) Kullandığınız kod çözücünün çıkışlarının aktif 0 olduğunu da düşünerek S ve C fonksiyonlarını minimum sayıda tümleşik devre ve/veya kapı kullanarak gerçekleyiniz. **Kullanacağınız ilave kapı sayısı ve çeşitleri aşağıda verilen malzeme ile sınırlıdır.** Devrenizi deney seti üzerinde kurunuz.
- C ve S çıkışlarını LED'lere (Light Emitting Diode, Işık Yayan Diyot) bağlayınız. Bu ışık veren diyotlardan kırmızısı yandığında çıkışın lojik 1 olduğu, yeşili yandığında ise çıkışın lojik 0 olduğu görülür.
 - Kurduğunuz devrenin tam toplama işlemini yaptığını gözleyiniz.

2-

- a) Tam toplayıcıyı 74LS153 seçici kullanarak gerçekleyiniz.
- Bunun için S ve C fonksiyonlarının her birini 74LS153 tümleşik devresi içinde bulunan 4x1'lik seçiciyle gerçekleyiniz.
 - Bilindiği gibi üç değişkenli bütün fonksiyonlar 4x1'lik seçicilerle gerçekleştirilebilirler.
 - Üç bağımsız değişkenden x ve y' yi seçici olarak alınız.
 - S ve C fonksiyonlarının data girişlerine ne uygulamak gerektiğini saptayınız.
 - Kaç tümleyen kapısına gereksiniminiz var?
- b) Bulduğunuz devreyi deney setiniz üzerinde kurunuz.
- Besleme ve toprak bağlantılarını yapınız.
 - Belirteç (Strobe) kontrol girişlerini lojik anahtarlara bağlayarak bu anahtarlardan katalog bilgisine göre uygun değerleri veriniz.
 - Seçici olarak seçtiğiniz x ve y değişkenlerini istediğiniz değeri verebilmek için lojik anahtarlara bağlayınız.
 - Z değişkenine de istediğiniz değeri verebilmek için z'yi bir lojik anahtara bağlayınız.
 - Lojik anahtarların yanındaki +V ve 5V seçeneğini sağlayan anahtarı 5V konumuna getiriniz. Bizim deneylerimizde TTL tümleşik devreleri kullanıldığından bu seçim yapılmıştır. CMOS tümleşik devreler kullanılsaydı +V seçeneği seçilirdi.
 - Seçicinin çıkışlarından aldığınız C ve S fonksiyonlarını gözleyebilmek için LED'lere bağlayınız.
- c) Kurduğunuz devrenin verilen doğruluk tablosunu sağladığını gösteriniz.

Sorular:

Kod çözücülü devreyi VEYA kapıları ile gerçekleseydiniz yukarıdaki gerçeklemeden farkları ne olurdu?

- 1- Gerçekleyeceğimiz fonksiyonlar 4 değişkenli olsaydı, 74LS153 kullanarak gerçeklemek için en kötü olasılıkla neler ilave olarak gelirdi? Neden?
- 2- 2. soruya 74LS151 ile yanıt verebilmek için ne gerekir? Neden?
- 3- Aynı devreyi kod çözücü ve seçici kullanarak gerçeklediniz. Sonuçları tümleşik devre sayısı ve gecikme açısından karşılaştırınız.
- 4- Boole fonksiyonlarının gerçekleştirilmesinde seçici ve kod çözücü kullanılması genel olarak hangi koşullarda tercih edilir? Neden?
- 5- Tam toplayıcının SSI elemanlarıyla gerçekleştirilmesi ders notlarında verilmişti. Orada verilen devrelerle deneydeki devrelerinizi karşılaştırınız.
- 6- $n+2$ değişkenli bir fonksiyonu n seçicili bir seçici ve ilave kapı elemanlarıyla nasıl gerçeklersiniz. İlave kapı elemanlarının giriş yelpazesi en fazla kaç olabilir? İpucu: Kapı elemanlarını seçici girişlerinde kullanmayı düşününüz.
- 7- $n+2$ değişkenli bir fonksiyonu n seçicili iki seçici ve ilave bir kapı kullanarak nasıl gerçeklersiniz? İlave kapı elemanlarının giriş yelpazesi kaç olur? İpucu: Kapı elemanlarını seçicinin çıkışında kullanmayı düşününüz.
- 8- Tam çıkarma devresinin doğruluk tablosunu bulunuz.
- 9- Kod çözücü ve seçicilerle yapılan Boole fonksiyonu gerçeklemelerinde genel olarak minimal fonksiyonların bulunması gerekmez. Hangi özel koşullarda minimal fonksiyonun bulunması seçici ve kod çözücüyle gerçeklemede yararlı olur?

Malzeme Listesi:

- 1 adet 74LS138 kod çözücü tümleşik devresi
- 1 adet 74LS153 çift 4x1 seçici tümleşik devresi
- 2 adet 74LS08 VE tümleşik devresi
- 1 adet 74LS04 TTL DEĞİL tümleşik devresi

Deney 4. Paralel Toplama Devresi Tasarımı

Genel Bilgiler:

Bu deneyde paralel toplama devresini, derste görüldüğü gibi, hücresel biçimde tasarlayacağız.

Her bir hücre Şekil 4.2'deki gibi tam toplama devresidir. Tam toplama devresi üç giriş ve iki çıkışıdır. x ve y girişleri toplanacak sayılara ilişkin bitleri, z girişi ise bir önceki bitlerin toplamından gelen eldeyi temsil eden bağımsız değişkenlerdir. S çıkışı ilgili bitlerin toplamını verir. C çıkışı ise ilgili bitlerin toplamından gelen ve bir sonraki bitlerin toplamında kullanılacak olan eldedir.

En az ağırlıklı bitlerin toplanmasında elde girişi olmadığından bu bitlere ilişkin hücre iki girişli ve iki çıkışlı olan yarı toplama devresidir. Tam toplayıcıdaki elde girişi yoktur. Daha fazla bilgi için ders notlarına bakınız.

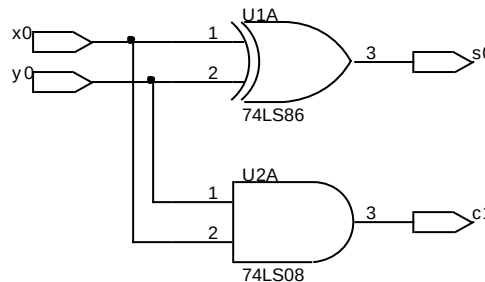
Deney Öncesi Yapılacak İşlemler:

- 1- Deneyde kullanılacak tümleşik devrelerin katalog bilgilerini inceleyiniz.
- 2- Hücresel toplayıcı yapısı, yarı toplama ve tam toplama devreleri ile seri ve paralel toplayıcı kavramlarını öğreniniz.
- 3- Deney sonunda yer alan soruların yanıtlanmasına çalışınız.

Deneyde Yapılacak İşlemler:

1-

- a) Şekil 4.1'de verilen yarı toplama devresini deney düzeneğiniz üzerinde kurunuz.

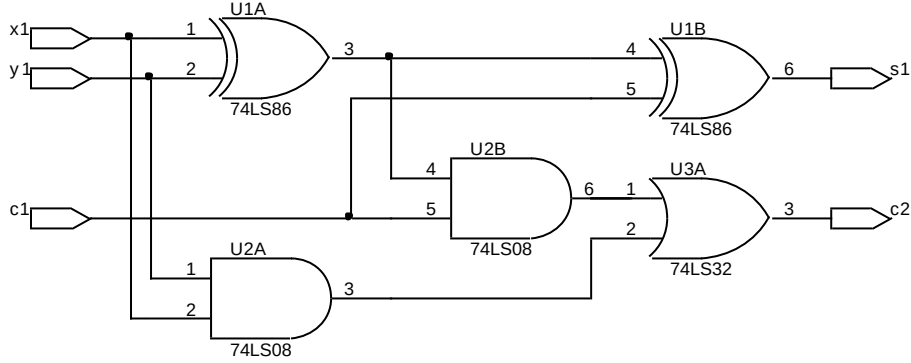


Şekil 4.1 Yarı toplama devresi

- Tümleşik devrelerin besleme (5V) ve toprak bağlantılarını yapınız.
 - x_0 y_0 girişlerini lojik anahtarlara bağlayınız. Bu anahtarlar bağımsız değişkenlerin devreye uygulanmasında kullanılırlar.
 - Lojik anahtarların yanındaki +V ve 5V seçeneğini sağlayan anahtarı 5V konumuna getiriniz. Bizim deneylerimizde TTL tümleşik devreleri kullanıldığından bu seçim yapılmıştır. CMOS tümleşik devreler kullanılsaydı +V seçeneği seçilirdi.
 - c_1 ve s_0 çıkışlarını LED'lere bağlayınız. Bu ışık veren diyotlardan kırmızısı yandığında çıkışın lojik 1 olduğu, yeşili yandığında ise çıkışın lojik 0 olduğu görülür.
 - LED'lerin bulunduğu yerde siyah renkli iki anahtar vardır. (TTL-CMOS) seçenekli anahtarı TTL konumuna, (+V-5V) seçenekli anahtarı ise 5V konumuna getiriniz.
- b) Anahtarlarla bütün girişleri uygulayıp çıkışı gözleyerek yarı toplayıcı devrenin doğruluk tablosunu sağlayınız.

2-

- a) 1. adımda yaptıklarınızı bozmadan, Şekil 4.2'de verilen tam toplama devresini deney düzeneğiniz üzerinde kurunuz. Yarı toplayıcı devresinin kurulmasından farklı olarak, bir önceki bitlerin toplamından gelen eldeyi temsil eden z girişi bir lojik anahtarla verilecektir.

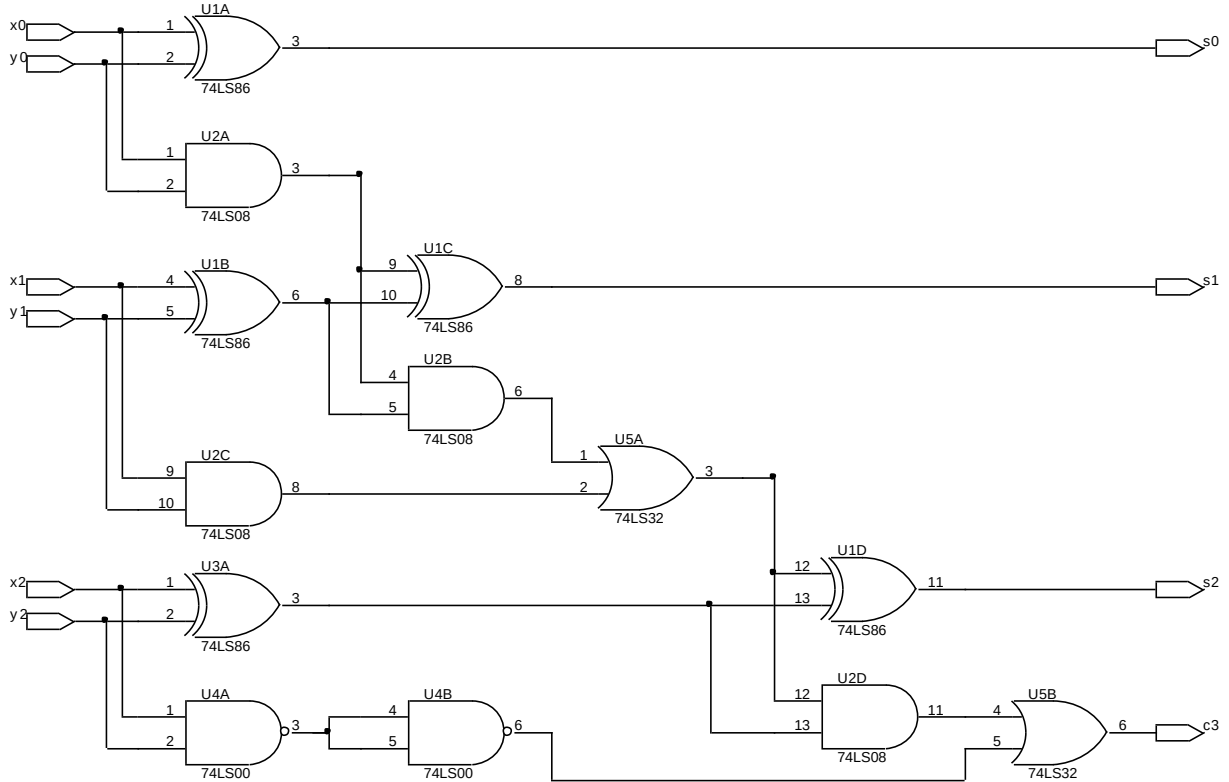


Şekil 4.2 Tam toplama devresi

- b) Devrenizi kurduktan sonra tam toplama devresinin doğruluk tablosunun sağlandığını gösteriniz.

3-

- a) Bu adımda 3-bitlik iki sayının paralel toplanmasını yapan yarı ve tam toplama devre hücrelerinden oluşmuş devre analiz edilecektir. Şekil 4.3'te devre verilmiştir. Bu devrede bir yarı toplayıcı ve iki tane tam toplayıcı vardır. Bir tam toplayıcının iki yarı toplayıcı ve bir VEYA kapısından oluştuğu düşünülürse, devrede beş yarı toplayıcı ile iki VEYA kapısı vardır.



Şekil 4.3 3-bitlik paralel toplama devresi

- 1. ve 2. adımlarda kurduğunuz devreleri bozmadan kullanarak Şekil 4.3'teki devreyi deney düzeneğiniz üzerinde kurunuz.
 - $(x_2x_1x_0)$, x_2 MSB (**M**ost **S**ignificant **B**it) olmak üzere toplanacak X sayısını; $(y_2y_1y_0)$ ise y_2 MSB olmak üzere toplanacak Y sayısını temsil eder. X ve Y sayılarını devreye uygulayabilmek için her bir biti bir lojik anahtara bağlayınız.
 - x_0y_0 'ın eldesinden gelen c_1 , x_1y_1 girişli tam toplama devresinin 3. girişidir. x_1y_1 'in eldesinden gelen c_2 , x_2y_2 girişli tam toplama devresinin 3. girişidir. C_3 çıkışı X ve Y sayılarının toplamından elde edilen sayının eldesidir.
 - X ve Y sayılarının toplamını temsil eden S sayısının üç biti olan $s_2 s_1 s_0$ ve c_3 eldesinin her birini gözleyebilmek için LED' lere bağlayınız.
 - Yukarıda yaptığınız giriş çıkış bağlantıları dışında 1. adımda yaptığınız işlemi bu adıma da uygulayınız.
- b) Kurduğunuz devrenin girişine aşağıdaki tabloda verilen X ve Y girişlerini uygulayarak S ve c_3 çıkışını gözleyerek kaydediniz. Devreniz istediğiniz toplama işlemini yapıyor mu?

Tablo 4-1 3-bitlik paralel toplayıcının giriş/çıkış tablosu

Girişler				Çıkışlar	
10 tabanında		iki tabanında		iki tabanında	10 tabanında
X	Y	$x_2x_1x_0$	$y_2y_1y_0$	$c_3s_2s_1s_0$	S
2	5				
3	1				
4	4				
6	2				
7	7				

Sorular:

- 1- Yarı toplama devresini deneyde yapılandan farklı olarak kaç türlü gerçekleştirebilirsiniz? Nasıl?
Alternatif çözümlerinizi;
 - kurduğunuz devre ile kapı sayısı bakımından,
 - giriş yelpazeleri bakımından,
 - maksimum gecikme süresi bakımından (katalog bilgisinden yararlanarak), kapı türü sayısı bakımından karşılaştırınız.
- 2- Tam toplama devresini deneyde yapılandan farklı olarak kaç türlü gerçekleştirebilirsiniz? Nasıl?
Alternatif çözümlerinizi;
 - kurduğunuz devre ile kapı sayısı bakımından,
 - giriş yelpazeleri bakımından,
 - maksimum gecikme süresi bakımından (katalog bilgisinden yararlanarak), kapı türü sayısı bakımından karşılaştırınız.
- 3- 3-bitlik iki sayının toplanmasını yukarıda gerçeklediğiniz hücresele biçimde değil de bildiğiniz klasik yöntemle yapsaydınız ne gibi sorunlarla karşılaşırdınız?
- 4- Gerçeklediğiniz son devrenin maksimum gecikme süresini katalog bilgilerinden yararlanarak hesaplayınız.(Son eldenin gecikmesini düşününüz).
- 5- 3. ve 4. soruların sonuçlarını yorumlayınız.

- 6- Paralel toplama devresinin gecikmesini azaltan derste anlatılan çözüm neydi? Bu çözümün gecikmesi nedir?
- 7- İki bitlik iki sayıyı çarpan devrenin doğruluk tablosunu çıkarınız. Yarı toplayıcılar kullanarak tasarlayınız.

Malzeme Listesi:

- 2 adet 74LS86 Özel-VEYA tümleşik devresi
- 1 adet 74LS08 VE tümleşik devresi
- 1 adet 74LS32 VEYA tümleşik devresi
- 1 adet 74LS00 VEDEĞİL tümleşik devresi

Deney 5: Tmleřik Paralel Toplayıcı ve EPROM Devreleri

Genel Bilgiler:

Sayısal devre tasarımında gerek duyulabilecek aritmetik ve karřılařtırma iřlemlerinde hazır MSI, LSI (**L**arge **S**cale **I**ntegration: Byk lekte Tmleřtirme, 100-999 kapı) tmleřik devreleri kullanmak tasarım ve gerekleme kolaylıęı saęlar. Bu tr tmleřik devrelerin retici firmalarının kataloglarında; fonksiyon tablosu, u aıklamaları, zaman diyagramları ve ayrıntılı i devresi konularında bilgiler verilir. Tasarım sırasında sz konusu bilgilere sıka gereksinim duyulur.

Ayrıca PROM, PLA gibi programlanabilen LSI elemanlarla, retici firmalarca tasarlanmamıř fonksiyonların gerekleřtirilmesi mmkndr. Birden ok kez programlanabilen EPROM ve EEPROM gibi rnler sayesinde gerekleřtirilmiř olan tasarımın retim sonrasında da deęiřtirilmesi saęlanabilir.

Bu deneyde 4 bitlik iki ikili sayının paralel toplama ve ıkarma iřlemleri ve bu sayıların deęerlerinin karřılařtırmasını yapan devreler incelenecektir.

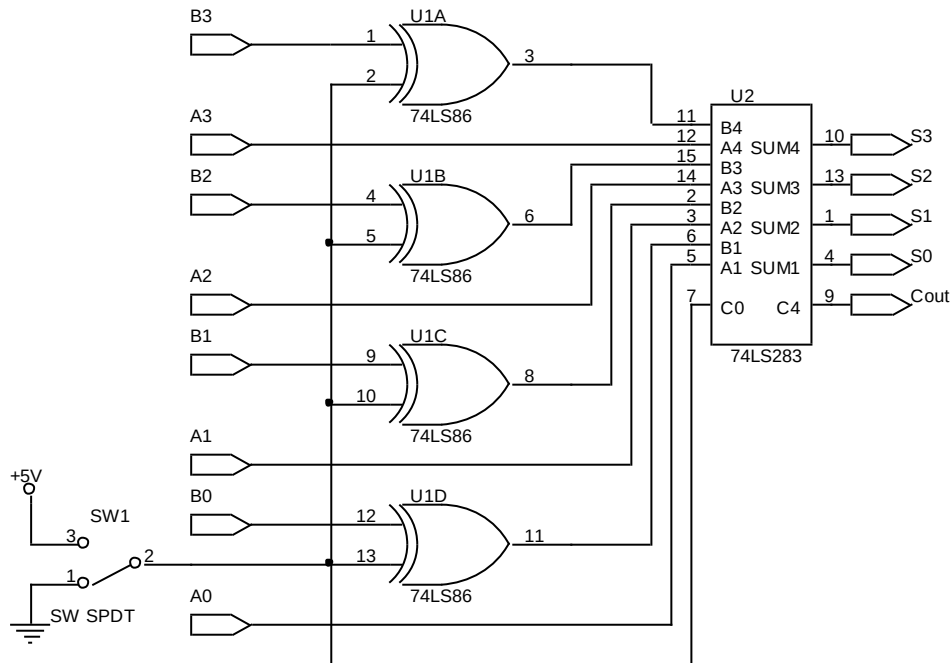
Deney ncesi Yapılacak iřlemler:

- 1- Deneyde kullanılacak tmleřik devrelerin katalog bilgilerini inceleyiniz.
- 2- Hcresel toplayıcı yapısı, yarı toplama ve tam toplama devreleri ile seri ve paralel toplayıcı kavramlarını ęreniniz.
- 3- Deneyin sonunda yer alan soruları yanıtlamaya alıřınız.

Deneyde Yapılacak iřlemler:

1-

a) řekil 5-1'deki paralel toplama ve ıkarma yapan devreyi kurunuz.

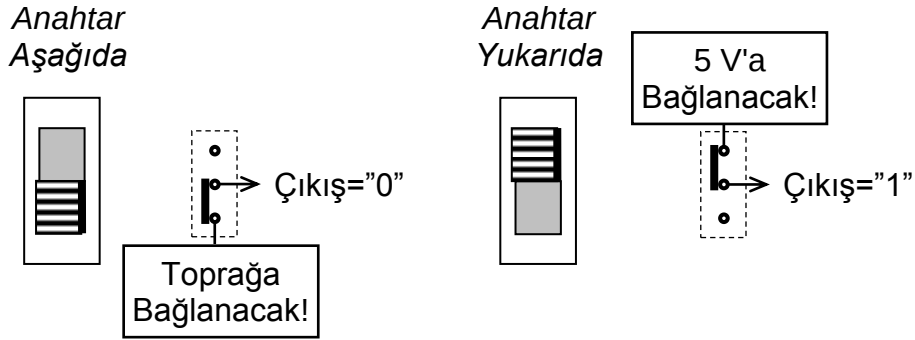


řekil 5-1 4-Bit paralel toplayıcı deneyi iin devre diyagramı

- 74LS283 toplama ve 74LS86 zel-VEYA tmleřik devrelerinin besleme ve toprak baęlantılarını yapınız.
- A₀A₁A₂A₃ ve B₀B₁B₂B₃ bitleriyle temsil edilen A ve B sayılarını lojik

anahtarlara bağlayınız. Böylelikle istediğiniz 0-15 arasındaki sayıları 74LS283 girişine uygulayabilirsiniz.

- B_i ($i=0,1,2,3$) girişlerini birer Özel-VEYA kapısının girişine bağlayınız. Özel-VEYA kapılarının diğer girişlerine 0 veya 1 ortak uygulanarak B sayısının kendisi veya tümleyeninin 74LS283 girişinde elde edilmesi sağlanmış olur. B'nin tümleyeninin elde edilmesinin yararı deney sırasında görülecektir.
- 74LS283 toplayıcısının S çıkış ($S_0S_1S_2S_3$) ve C_{out} çıkışlarını LED'lere bağlayarak gözlenebilir hale getiriniz.
- C_{in} ve Özel-VEYA kapılarının ortak olan birer girişlerini SPDT (Tek Kutuplu Çift Yollu, **Single Pole Double Throw**) anahtarlara bağlayınız. Bu anahtar lojik anahtarın yaptığı işlevi görür. Çalışması şekil 5.2'de verilmiştir.

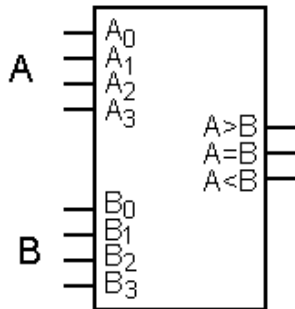


Şekil 5-2 SPDT anahtar kullanımı

b) Tablo 5-1'de verilen girişler için çıkışı gözleyerek doldurunuz.

Tablo 5-1 4-Bit paralel toplayıcı ve karşılaştırıcı için fonksiyon tablosu

Her iki devre için girişler				Toplayıcı devresi için çıkışlar				Karşılaştırıcı için çıkışlar		
Onluk		İkilik		Anahtar Toprakta $C_{in}=0$		Anahtar 5V'ta $C_{in}=1$		A<B	A=B	A>B
A	B	$A_3A_2A_1A_0$	$B_3B_2B_1B_0$	C_{out}	$S_3S_2S_1S_0$	C_{out}	$S_3S_2S_1S_0$			
10	4									
9	9									
5	2									
3	7									
9	8									
6	13									



Karşılaştırıcı		EPROM
A_0-A_3		A_0-A_3
B_0-B_3		A_4-A_7
Çıkışlar	A<B	Q_0
	A=B	Q_1
	A>B	Q_2

Şekil 5-3 4-bitlik büyüklük karşılaştırıcı için deney düzeni

2-

- a) Şekil 5-3'de 4 bitlik iki sayıyı karşılaştıran devreyi kurunuz.
- EPROM ile gerçekleştirilen Karşılaştırmacı devresi 74LS85 tümleşik devresi gibi 4 bitlik karşılaştırmacı olup, kaskad bağlantı girişleri yoktur. 74LS85 karşılaştırmacı tümleşik devresinin katalog bilgilerin kaskad bağlantı uçlarının özelliklerini öğreniniz.
 - EPROM'u, READ çalışma modunda kullanmak için katalog bilgilerine uygun olarak kontrol girişlerini belirleyiniz. A_8-A_{16} adres uçlarına ise sabit 0 bağlayınız.
 - EPROM karşılaştırmacının çıkışlarını LED'lere bağlayınız.
- b) Tablo 5-1'de verilen girişler için karşılaştırma çıkışlarını devreden gözleyerek saptayınız ve yazınız.

Sorular:

- 1- En genel 10 tabanında n haneli iki sayıyı 74LS283 kullanarak toplamak için kaç tane 74LS283 kullanmanız gerekir? Neden?
- 2- En genel 10 tabanında n haneli iki sayının BCD karşılıklarını 74LS283 kullanarak toplamak için kaç tane 74LS283 kullanmanız gerekir? Neden?
- 3- Oluşturduğunuz tabloda S çıkışlarına bakarak anahtarın konumuna göre A ve B sayıları üzerinde hangi aritmetik işlemlerin yapıldığını her bir giriş için saptayınız.
 - Saptadığınız aritmetik işleme göre, B sayısı 74LS283'ün girişine nasıl bir değişiklik yapılarak uygulanmıştır.
 - Anahtarın 5V a bağlı olduğu halde $S=A+B'+1$ işlemi yapılmaktadır. Neden?
 - Bu durumda $-B=B'+1$ olacağından negatif sayıların temsil edilebilirliği ortaya çıkmış oluyor. Bu işleme **B nin 2'li tümleyeni** denir.
- 4- EPROM ile gerçekleştirilen karşılaştırmacı ile BCD sayıların karşılaştırılması doğru olarak yapılabilir mi?
- 5- 7 Bitlik 2 sayıyı sadece deneyde kullanılan EPROM'lar ile karşılaştırabilir miyiz?
- 6- Fonksiyon gerçeklemek açısından EPROM kullanmanın, klasik sentez yöntemine göre avantaj ve dezavantajları nelerdir ?
- 7- 27C1001 EPROM tümleşik devresi kullanılarak, kaçıncı dereceden kaç adet fonksiyon aynı anda gerçekleştirilebilir, neden?

Malzeme Listesi:

- 1 adet 74LS283 4-bitlik paralel toplama tümleşik devresi
- 1 adet 74LS86 Özel-VEYA kapısı tümleşik devresi
- 1 adet 27C1001 EPROM tümleşik devresi (4 bitlik karşılaştırmacı olarak verilecek)

EK :

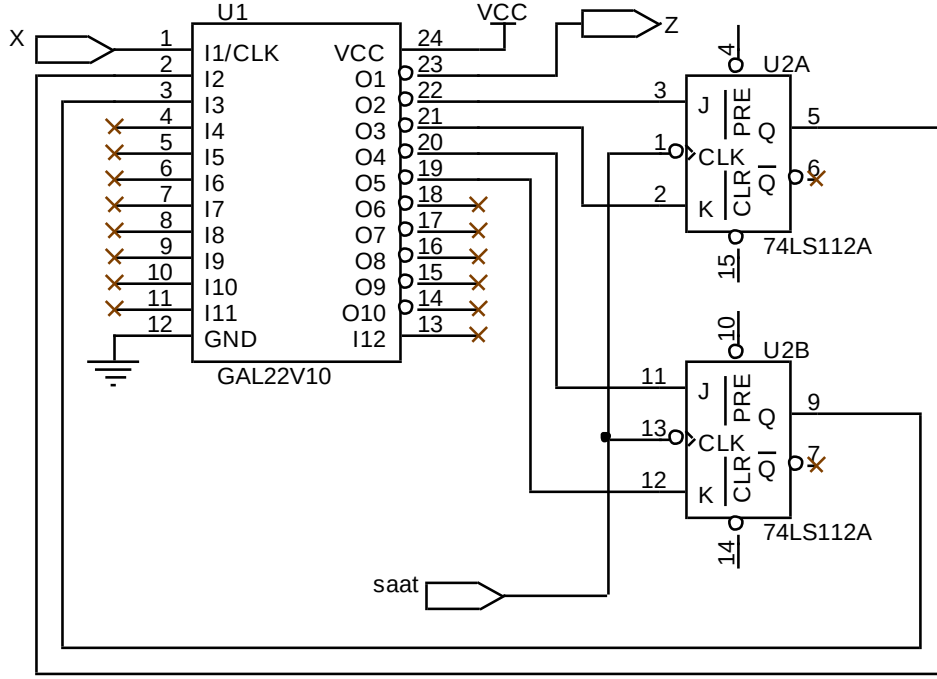
EPROM, 4 bitlik karşılaştırmacı fonksiyonlarını gerçekleştirmesini sağlayacak veriler, Tablo 5-2'de verilmiştir.

- Tablo giriş ve çıkışlar olmak üzere iki ana sütundan oluşmaktadır.
- Giriş sütunu karşılaştırmacının girişleri olan dörder bitlik A ve B sayılarından ve bu sayıların oluşturduğu 8 bitlik adres verisinden (en yüksek ağırlıklı 4 bit B sayısı, en düşük ağırlıklı 4 bit A sayısı) oluşmaktadır.
- Çıkış sütunu ise karşılaştırmacının çıkışı olan üç bitlik ($A>B$), ($A=B$) ($A<B$) değerlerinden oluşmaktadır. Bu bitlerin oluşturduğu kelime ise en sağ sütunda gösterilmiştir.

Tablo 5-2 EPROM'un karşılaştırmacı işlevi için veri tablosu

Girişler			Çıkışlar			Girişler			Çıkışlar			Girişler			Çıkışlar			Girişler			Çıkışlar							
B	A	Adr.	ikili	k		B	A	Adr.	ikili	k		B	A	Adr.	ikili	k		B	A	Adr.	ikili	k						
0	0	0	010	2		3	4	52	100	4		6	8	104	100	4		9	12	156	100	4		13	0	208	001	1
0	1	1	100	4		3	5	53	100	4		6	9	105	100	4		9	13	157	100	4		13	1	209	001	1
0	2	2	100	4		3	6	54	100	4		6	10	106	100	4		9	14	158	100	4		13	2	210	001	1
0	3	3	100	4		3	7	55	100	4		6	11	107	100	4		9	15	159	100	4		13	3	211	001	1
0	4	4	100	4		3	8	56	100	4		6	12	108	100	4		10	0	160	001	1		13	4	212	001	1
0	5	5	100	4		3	9	57	100	4		6	13	109	100	4		10	1	161	001	1		13	5	213	001	1
0	6	6	100	4		3	10	58	100	4		6	14	110	100	4		10	2	162	001	1		13	6	214	001	1
0	7	7	100	4		3	11	59	100	4		6	15	111	100	4		10	3	163	001	1		13	7	215	001	1
0	8	8	100	4		3	12	60	100	4		7	0	112	001	1		10	4	164	001	1		13	8	216	001	1
0	9	9	100	4		3	13	61	100	4		7	1	113	001	1		10	5	165	001	1		13	9	217	001	1
0	10	10	100	4		3	14	62	100	4		7	2	114	001	1		10	6	166	001	1		13	10	218	001	1
0	11	11	100	4		3	15	63	100	4		7	3	115	001	1		10	7	167	001	1		13	11	219	001	1
0	12	12	100	4		4	0	64	001	1		7	4	116	001	1		10	8	168	001	1		13	12	220	001	1
0	13	13	100	4		4	1	65	001	1		7	5	117	001	1		10	9	169	001	1		13	13	221	010	2
0	14	14	100	4		4	2	66	001	1		7	6	118	001	1		10	10	170	010	2		13	14	222	100	4
0	15	15	100	4		4	3	67	001	1		7	7	119	010	2		10	11	171	100	4		13	15	223	100	4
1	0	16	001	1		4	4	68	010	2		7	8	120	100	4		10	12	172	100	4		14	0	224	001	1
1	1	17	010	2		4	5	69	100	4		7	9	121	100	4		10	13	173	100	4		14	1	225	001	1
1	2	18	100	4		4	6	70	100	4		7	10	122	100	4		10	14	174	100	4		14	2	226	001	1
1	3	19	100	4		4	7	71	100	4		7	11	123	100	4		10	15	175	100	4		14	3	227	001	1
1	4	20	100	4		4	8	72	100	4		7	12	124	100	4		11	0	176	001	1		14	4	228	001	1
1	5	21	100	4		4	9	73	100	4		7	13	125	100	4		11	1	177	001	1		14	5	229	001	1
1	6	22	100	4		4	10	74	100	4		7	14	126	100	4		11	2	178	001	1		14	6	230	001	1
1	7	23	100	4		4	11	75	100	4		7	15	127	100	4		11	3	179	001	1		14	7	231	001	1
1	8	24	100	4		4	12	76	100	4		8	0	128	001	1		11	4	180	001	1		14	8	232	001	1
1	9	25	100	4		4	13	77	100	4		8	1	129	001	1		11	5	181	001	1		14	9	233	001	1
1	10	26	100	4		4	14	78	100	4		8	2	130	001	1		11	6	182	001	1		14	10	234	001	1
1	11	27	100	4		4	15	79	100	4		8	3	131	001	1		11	7	183	001	1		14	11	235	001	1
1	12	28	100	4		5	0	80	001	1		8	4	132	001	1		11	8	184	001	1		14	12	236	001	1
1	13	29	100	4		5	1	81	001	1		8	5	133	001	1		11	9	185	001	1		14	13	237	001	1
1	14	30	100	4		5	2	82	001	1		8	6	134	001	1		11	10	186	001	1		14	14	238	010	2
1	15	31	100	4		5	3	83	001	1		8	7	135	001	1		11	11	187	010	2		14	15	239	100	4
2	0	32	001	1		5	4	84	001	1		8	8	136	010	2		11	12	188	100	4		15	0	240	001	1
2	1	33	001	1		5	5	85	010	2		8	9	137	100	4		11	13	189	100	4		15	1	241	001	1
2	2	34	010	2		5	6	86	100	4		8	10	138	100	4		11	14	190	100	4		15	2	242	001	1
2	3	35	100	4		5	7	87	100	4		8	11	139	100	4		11	15	191	100	4		15	3	243	001	1
2	4	36	100	4		5	8	88	100	4		8	12	140	100	4		12	0	192	001	1		15	4	244	001	1
2	5	37	100	4		5	9	89	100	4		8	13	141	100	4		12	1	193	001	1		15	5	245	001	1
2	6	38	100	4		5	10	90	100	4		8	14	142	100	4		12	2	194	001	1		15	6	246	001	1
2	7	39	100	4		5	11	91	100	4		8	15	143	100	4		12	3	195	001	1		15	7	247	001	1
2	8	40	100	4		5	12	92	100	4		9	0	144	001	1		12	4	196	001	1		15	8	248	001	1
2	9	41	100	4		5	13	93	100	4		9	1	145	001	1		12	5	197	001	1		15	9	249	001	1
2	10	42	100	4		5	14	94	100	4		9	2	146	001	1		12	6	198	001	1		15	10	250	001	1
2	11	43	100	4		5	15	95	100	4		9	3	147	001	1		12	7	199	001	1		15	11	251	001	1
2	12	44	100	4		6	0	96	001	1		9	4	148	001	1		12	8	200	001	1		15	12	252	001	1
2	13	45	100	4		6	1	97	001	1		9	5	149	001	1		12	9	201	001	1		15	13	253	001	1
2	14	46	100	4		6	2	98	001	1		9	6	150	001	1		12	10	202	001	1		15	14	254	001	1
2	15	47	100	4		6	3	99	001	1		9	7	151	001	1		12	11	203	001	1		15	15	255	010	2
3	0	48	001	1		6	4	100	001	1		9	8	152	001	1		12	12	204	010	2						
3	1	49	001	1		6	5	101	001	1		9	9	153	010	2		12	13	205	100	4						
3	2	50	001	1		6	6	102	010	2		9	10	154	100	4		12	14	206	100	4						
3	3	51	010	2		6	7	103	100	4		9	11	155	100	4		12	15	207>								

- 1- Devrede D ve JK olmak üzere farklı iki türden iki bellek elemanı var, yani iki tümleşik devre gerekmektedir. D bellek elemanı yerine JK bellek elemanı kullanırsak iki JK bellek elemanı olacak yani bir tümleşik devre elemanı yetecek. JK belleğinden D belleği elde etmek için $K=J'$ almak gerekir. Nedenini düşününüz.
- 2- Mevcut Kapı elemanları yerine yalnızca tek tip kapı elemanı kullanırsak 4 SSI tümleşik devre yerine daha az sayıda tümleşik devre kullanılabilecektir.
- 3- Analizini yapacağımız devrede gerçekleşmesi gereken fonksiyon sayısı 5 dir. Bu fonksiyonların ayrıık elemanlar yerine, PROM, PAL gibi programlanabilir MSI elemanlarla de gerçekleştirilmesi mümkündür. Bu durumda, devrenin tüm kombinezonsal kısmı tek bir MSI eleman içinde yer alacaktır. Bu elemanın 3 girişi ve 5 çıkışı olacaktır. PAL22V10 tümleşik devresinin deney sonunda yer alan biçimde programlanması sayesinde devredeki tüm fonksiyonları gerçekleştirilecektir. Yeni devre şeması Şekil 6.2 de verilmiştir.



Şekil 6.2 Tümleşik eleman sayısı minimumlaştırılmış analizi yapılacak devre

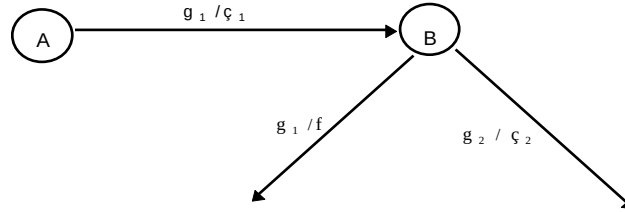
Deney Öncesi Yapılacak İşlemler:

- 1- Ardışıl ve kombinezonsal devrelerin ne gibi farkları vardır? Araştırınız.
- 2- Bellek elemanlarının işleyişlerini inceleyiniz.
- 3- GAL22V10 tümleşik devresinin özelliklerini öğreniniz.
- 4- Deneyin sonunda yer alan soruları yanıtlamaya çalışınız.

Deneyde Yapılacak İşlemler:

- 1- Teorik olarak verilen devrelerde genellikle kontrol girişleri gösterilmez, pratikte ise bu girişlerin katalog bilgilerine göre uygun yerlere bağlanması gerekir.
 - Minimum tümleşik devre elemanlı devreyi deney düzeneğiniz üzerinde gerçekleyiniz.
 - Her bir tümleşik devrenin beslemesi için gerekli olan 5V ve toprak bağlantılarını katalog bilgilerinden yararlanarak yapınız.
 - İstediğiniz başlangıç durumunu elde edebilmek için bellek elemanlarının PR (preset) girişlerini ayrı ayrı birer anahtara (logic switch) bağlayınız. *Anahtarlar saat dışındaki girişlerin devreye uygulanmasını sağlarlar.*
 - (00) başlangıç durumunu elde edebilmek için bellek elemanlarının CLR (clear) girişlerini birer anahtara (logic switch) bağlayınız.
 - Bellek elemanlarının Q_1, Q_2 çıkışlarıyla devrenin z çıkışını gözleyebilmek için LED (Light Emitting Diode)'lere bağlayınız.
 - Bellek elemanlarının saat girişlerini birbirine bağlayınız ve oluşan ortak ucu çınlamasız (debounce) anahtara bağlayınız. **Çınlamasız anahtar** saat darbesindeki çınlamaları önleyerek, bir saat darbesinde bellek elemanının bir defa çalışmasını sağlar.
 - Devrenin x girişini, istediğiniz bir giriş dizisini uygulayabilmek için, bir anahtara (logic switch) bağlayınız.

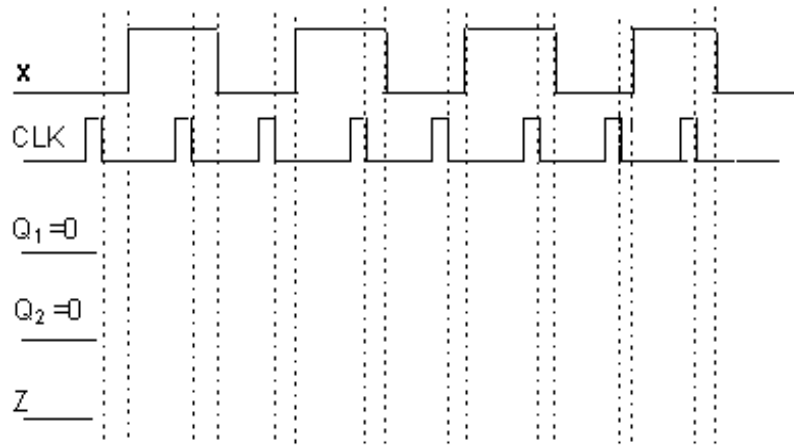
- 2- Analizini yapacağınız devrenin durum diyagramını çıkarınız. İpucu: Bellek elemanlarını preset ve clear girişlerine uygun değerler vererek, (katalog bilgisine başvurunuz) elde edilecek her bir durumda $x=0$ ve 1 için çıkışlar ve saat darbesi uygulandıktan sonra gidilen durumlar gözlenerek durum diyagramı bulunur.
- 3- $D=00$ başlangıç durumunda $x=0\ 1\ 0\ 1\ 0\ 1\ 0\ 1$ (önce 0) giriş dizisi için çıkış dizisini, hatalı çıkışlarını da belirterek saptayınız. Hatasız çıkış dizisini ayrıca yazarak saptayınız.
- Belli bir durumda ve belli bir giriş altında çıkışın ne olduğu, saat darbesi uygulanmadan gözlenir. Nedeni ardışıl devre çıkışlarının kombinezonsal devre çıkışları olmasıdır. (Ardışıl devrelerin genel yapısını düşününüz.) Şekil 6.3' te görüldüğü gibi A durumunda g_1 girişi altında saat darbesi uygulanmadan önce gözlenen çıkış ζ_1 'dir. Saat darbesi uygulandıktan hemen sonra fakat girişin henüz değiştirilmediğinde gözlenen çıkış, yeni gidilen durumda henüz değiştirilmemiş girişe karşı düşen çıkıştır (f). Şekil 6.3'te görüldüğü gibi saat darbesi uygulandıktan hemen sonra gözlenen durum B, çıkış ise f'dir. Oysa istenen, yeni gidilen durumda (B), g_1 'i değil g_2 'yi uygulamaktır.



Şekil 6.3 Hatalı çıkışın gözlenmesi

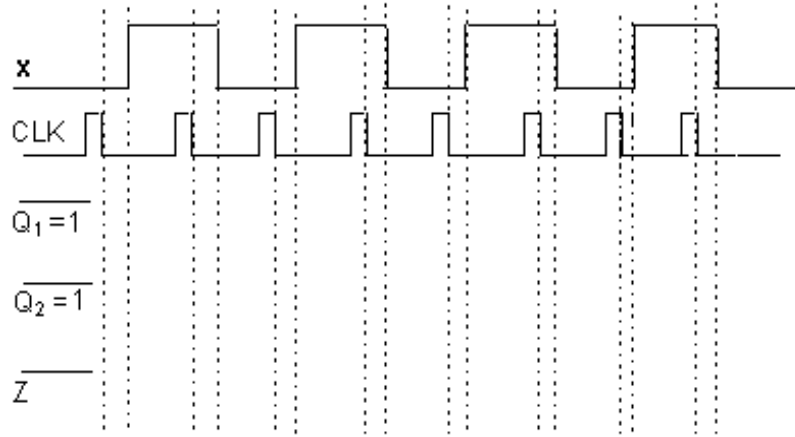
- Bu nedenle g_1 girişini ardından g_2 girişini uygulamak istediğimiz halde, istesek bile ζ_1 çıkışından sonra istediğimiz ζ_2 çıkışını gözlemeden önce f istenmeyen çıkışını gözlemek zorunda kalırız ki bu hatalı çıkıştır. Bu çıkış zaman diyagramında saat darbesinden hemen sonra görülen çıkıştır.

$D=00$ başlangıç durumu için şekil 6-4 ile verilen zaman diyagramını tamamlayınız.



Şekil 6-4 $D=00$ başlangıç durumu için zaman diyagramı

- 4- D=11 başlangıç durumu için 3. adımı tekrarlayınız ve şekil 6-5 ile verilen zaman diyagramını tamamlayınız.



Şekil 6-5 D=11 başlangıç durumu için zaman diyagramı

Sorular:

- 1- Verilen devrenin analizini teorik olarak yapınız.
- 2- Tümeleşik devre elemanlarının minimumlaştırılmasında kullanılan dört farklı transferin neler olduğunu nedenini belirterek açıklayınız.
- 3- PAL elemanlarının giriş-çıkış fonksiyonları nasıl tanımlanır ? Lojik devrelerde kullanılma nedenlerini açıklayınız.
- 4- Deneyde yapılacakların 3. ve 4. adımlarındaki hatasız çıkışların birbirinden farklı oluşunu, kombinezonsal ve ardışıl devre açısından yorumlayınız.
- 5- İncelediğimiz devrede aynı giriş dizisine karşı düşen birbirinden farklı en fazla kaç çıkış dizisi olur? Neden?
- 6- Analizini yaptığınız devrede hatalı çıkışların nedeni nedir? Hatalı çıkışlar, saat darbesi referans alındığında nerede görünür?
- 7- Çıkışta yalnızca hatasız çıkışları gözleyebilmek için bir çözüm bulunuz. Çözümünüzün nedenini açıklayınız. İpucu: Devrede mevcut JK bellek elemanlarıyla ortak saat girişi olan bir bellek elemanı düşününüz. Zamanınız varsa çözümünüzü uygulayınız.
- 8- Bu deneyde ancak bir uzunluklu giriş ve çıkış dizileri aynı anda gözlenebilmektedir. 4 uzunluklu giriş ve çıkış dizilerini aynı anda gözleyebilmek için ne yaparsınız? Zamanınız varsa önerinizi uygulayınız.
- 9- Bulduğunuz durum diyagramından yararlanarak hatalı 0 çıkışını gözleyebilmek için bir durum ve giriş dizisi örneği veriniz. Bir başka örneği hatalı 1 çıkışını için veriniz. Zamanınız varsa devrede verdiğiniz örnekleri gözleyebilirsiniz.

Malzeme Listesi:

- 1 adet 74HC112 JK bellek elemanı
- 1 adet GAL22V10 PAL elemanı (Deneyden önce programlanmış olmalı.)

PAL Programı:

```
Name      Deney6 Mealy Makinesi ;
Date      22.09.2003 ;
Company   Atmel ;
Device    g22V10 ;
```

```
/* ***** INPUT PINS *****/
PIN [1..3] = [x,y1,y2];
```

```
/* ***** OUTPUT PINS *****/
PIN [19..23] = [K2,J2,K1,J1,Z];
```

```
/* EQUATIONS */
Z = (!x & y2) # (x & y1);
J1 = (x & y2) # (y1 & y2);
K1 = (!x & !y1) # !y2;
J2 = (x & y1) # (!x & !y1);
K2 = !x;
```


Deney 7: Ardışıl Devre Sentezi (Dizi Algılayıcı)

Genel Bilgiler:

Bu deneyde 3 uzunluklu (010) dizisini algılayan bir ardışıl devreyi JK bellek elemanlarıyla hem Mealy, hem de Moore makinesi olarak iki türlü gerçekleyeceğiz.

Deney Öncesi Yapılacak İşlemler:

- 1- Mealy ve Moore makinesi tanımlarına çalışınız.
- 2- Durum indirgemesinin faydası nedir? Öğreniniz.
- 3- Deneyin sonunda yer alan soruları yanıtlamaya çalışınız.

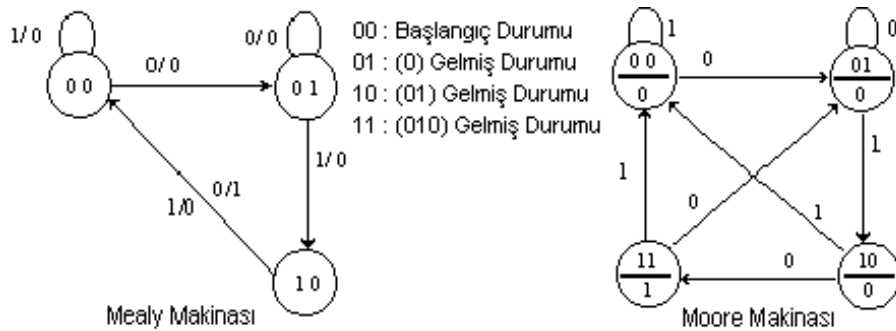
Deneyde Yapılacak İşlemler:

İç içe girmiş (010) dizileri algılanmayacak, bir (010) dizisi algılandıktan sonra yalnızca yeni bir (010) dizisi aranacak. Aşağıda bir giriş dizisine karşı düşen çıkış dizisi örneği verilmiştir.

Giriş: 00100101010010

Çıkış: 00010010001001

Bu örnekte altı çizili alt-giriş dizisi iç içe girmiş bir dizi, koyu gösterilmiş alt-giriş dizisi ise ayrık birer dizi oluşturmaktadır. İstedğimiz özellikleri taşıyan dizi algılayıcısına ilişkin Mealy ve Moore makinelerinin durum diyagramları Şekil 7.1 de verilmiştir.



Şekil 7.1 (010) dizisini algılayan Moore ve Mealy makinelerine ilişkin durum diyagramları

Gerekli sentez adımları tamamlandıktan sonra Mealy ve Moore makineleri için bulunan bellek elemanlarının giriş fonksiyonları ve çıkış fonksiyonları

Mealy:

$$J_1 = xy_2$$

$$K_1 = 1$$

$$J_2 = x' y_1'$$

$$K_2 = x$$

$$Z_1 = x' y_1$$

Moore:

$$J_3 = xy_4$$

$$K_3 = x + y_4$$

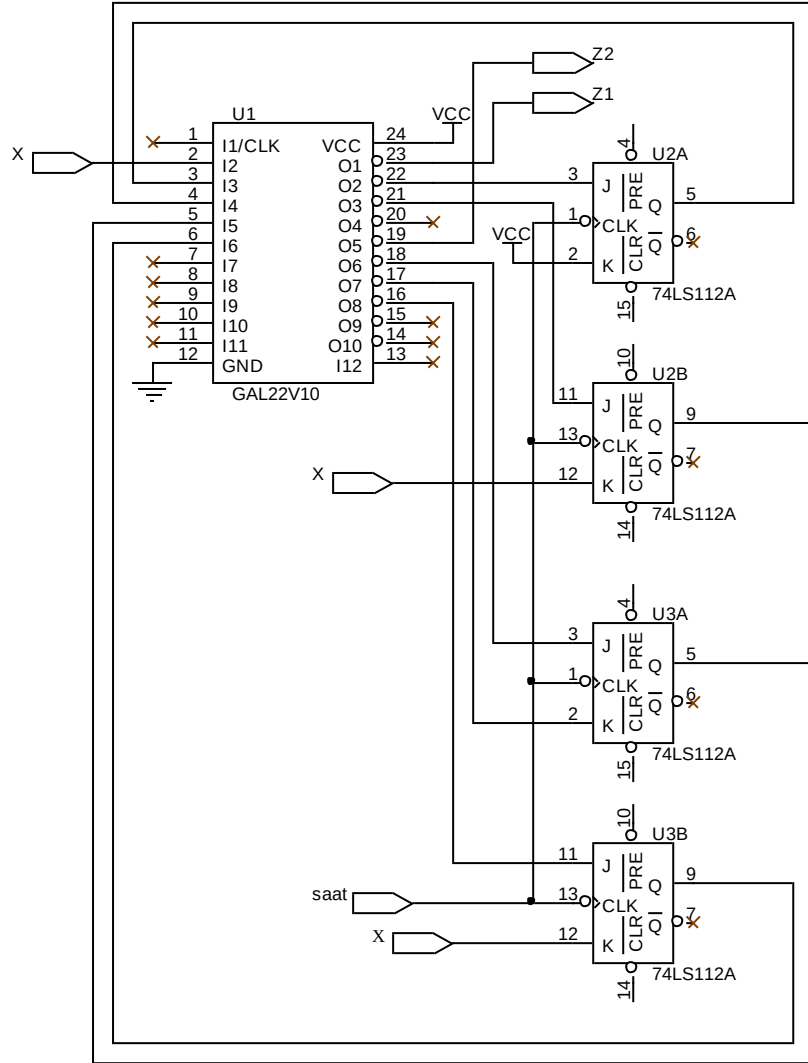
$$J_4 = x'$$

$$K_4 = x$$

$$Z_2 = y_3 y_4$$

biçimindedir. Görüldüğü gibi Mealy makinesi için 1 JK, 1 VE, 1 tümleyen olmak üzere 3 tümleşik devre gerekir, Moore makinesi için ise 1 JK, 1 VE, 1 VEYA, 1 tümleyen olmak üzere 4 tümleşik devre gerekmektedir. Ancak devrede gerekli fonksiyonların sağlanması amacıyla, SSI elemanlar yerine, PAL elemanı kullanılacaktır. Bu sayede 1 adet PAL ve 2 adet JK olmak üzere toplam 3 adet tümleşik devre ile her iki

makinenin de aynı anda gerçekleştirilmesi ve bağlantı sayısının da azaltılması mümkün olmaktadır.



Şekil 7.2 Minimum tümleşik elemanlı Mealy ve Moore (010) dizi algılayıcı

1- Deney seti üzerinde Şekil 7.2 deki devreyi gerçekleştiriniz.

- Bütün tümleşik elemanlara besleme ve toprak bağlantılarını yapınız.
- Bellek elemanlarına ilişkin PR (preset) uçlarını kataloga bakarak uygun bir sabit değere bağlayınız.
- Clear uçlarını ise bir anahtara bağlayarak istediğiniz zaman makineleri (00) başlangıç durumuna getirme fırsatı yaratınız.
- Her iki makinede da ortak olan x girişini bir anahtara bağlayınız.
- Makinelerin ortak saat girişlerini ise çınlamasız anahtara bağlayınız. Bu anahtar saat darbelerinin yükselen ve düşen kenarlarında oluşacak çınlamalara engel olur, aksi taktirde bir saat darbesine karşılık makine birden fazla saat girişi almış gibi olur.
- Makinelerin durumlarındaki değişimleri görebilmek için durum değişkenlerini LED'lere bağlayınız.
- Makinelerin çıkışlarını da gözleyebilmek için LED'lere bağlayınız.

2- Moore ve Mealy makinelerinin Şekil 7.1 de verilen durum diyagramlarını, devrenize uygun girişler uygulayıp bir sonraki durum ve çıkışları gözleyerek

sağlatınız. Eğer sağlanmıyorsa hatanızın nereden kaynaklandığını araştırıp bularak düzeltiniz.

- 3- Her iki makineye de iç içe geçmiş ve geçmemiş 6 (010) dizisi bulunduran bir giriş dizisi uygulayarak, her iki makinenin çıkışlarını gözleyerek kaydediniz. İstediğiniz çıkışları elde ettiğinizi gösteriniz. Bu işlemi saat ve x girişlerini anahtarlardan elle vererek yapabilirsiniz. İkinci bir yöntem de saat girişini 1 Hz'lik TTL darbe üreticiden, x girişlerini ise elle saat darbelerinin iki düşen kenarı arasında değiştirerek vermektir.
- 4- Moore ve Mealy makinelerinde 1 çıkışı gözlemleyebilmeniz için gerekli olan saat darbesi sayısını karşılaştırınız.

Sorular:

- 1- Gerçeklediğiniz Mealy makinesinde hatalı çıkış gözlenebilir mi? Yanıtınız evet ise hangi durumda hangi girişler için gözlersiniz. Bir örnek vererek nedenini açıklayınız. Bu anlamda Mealy makinesi yerine ilave bir durum daha yaratarak Moore makinesi yapmanın bir yararı oldu mu?
- 2- Moore makinesinde durum indirgemesi yapınız, eşdeğer durum var mı? Yanıtınızı yorumlayınız.
- 3- Deneyde kullandığınız PAL elemanının çıkış fonksiyonu, mümkün tüm fonksiyonlardan herhangi biri olabilir mi? Çıkış fonksiyonları, giriş fonksiyonu olarak geri beslenmesi ne gibi avantaj ve dezavantajlar getirir?
- 4- Deneyde gerçeklediğiniz devre için aldığınız kodlamadan farklı bir kodlama seçerek devreyi gerçekleyiniz ve PAL elemanı için gerekli PAL çevirici kaynak dosyasını yazınız. Her iki devreyi ayrı kapı elemanları ile gerçekleseydiniz, devreleri kapı elemanı ve tümleşik devre elemanı açısından farklar oluşur muydu?
- 5- Genel olarak bir Mealy makinesinin yaptığı işi yapan bir Moore makinesi yapsak ne yarar sağlarız? Neden? Bu örnekte bunu sağlamış olduk mu? Neden? Bunlara göre genel olarak bir sonuç çıkarınız.
- 6- Bir Mealy makinesinin gördüğü işi gören bir Moore makinesi yapabilmek için ne yapılmalıdır? Neden?

Malzeme Listesi:

- 2 adet 74HC112 JK bellek elemanı tümleşik devresi
- 1 adet GAL22V10 PAL elemanı (Deneyden önce programlanmış olmalı.)

PAL Programı:

```
Name      Deney7 ;
Date      22.09.2003 ;
Company   Atmel ;
Device    g22V10 ;
```

```
/* ***** INPUT PINS *****/
PIN 2 = x;
PIN [3..6] = [y1..y4];
/* ***** OUTPUT PINS *****/
PIN [16..19] = [J4,K3,J3,Z2];
PIN [21..23] = [J2,J1,Z1];

/* EQUATIONS */
J1 = x & y2;
J2 = !x & !y1;
J3 = y4 & x;
J4 = !x;
K3 = y4 # x;
Z1 = y1 & !x;
Z2 = y3 & y4;
```

Deney 8: Asenkron Sayıcılar

Genel Bilgiler:

Sayıcılar, girişine uygulanan saat darbelerine bağlı olarak, belirli değişik durumlardan geçen ardışıl devrelerdir. Bu devreler frekans bölme, bilgi saklama, darbe sayma ve benzer uygulamalarda kullanılır. Sayıcı olarak, MSI (Medium Scale Integration = Orta ölçekte tümleştirme) tümleşik devreleri kullanılması, tasarım ve gerçekleştirme kolaylığı sağlar. MSI sayıcıların giriş, çıkış ve saat uçlarından başka izin (enable), paralel yükleme, temizleme (clear) gibi kontrol uçları da vardır.

Sayıcılar senkron (synchronous) ve asenkron (ripple) olmak üzere iki ana grupta toplanabilir. Ayrıca her bir grupta ikili (binary), ikili kodlanmış onluk (BCD), onluk (decade) gibi farklı sayma özellikleri olan sayıcılar bulunur. Deney 8 SSI elemanlarla gerçekleştirilen BCD asenkron sayıcı ile 74LS393 MSI asenkron sayıcı, Deney 9'da ise ileri/geri sayan senkron sayıcı incelenecektir. Daha fazla bilgi için ders notları ve katalog bilgilerine başvurunuz.

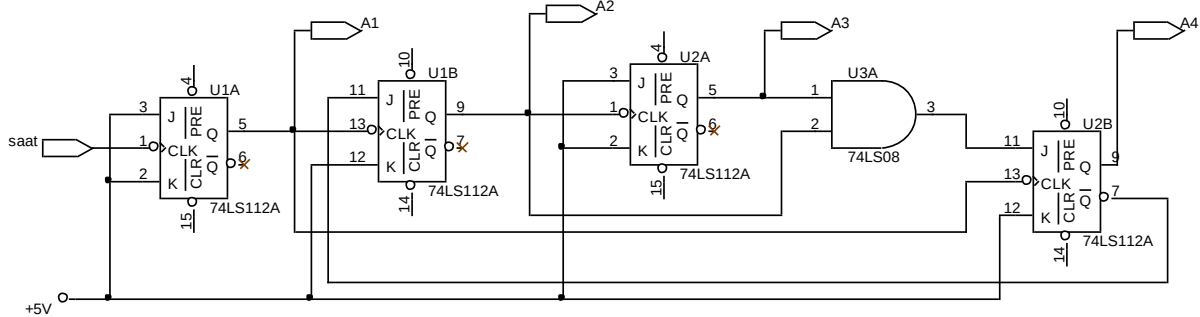
Deney Öncesi Yapılacak İşlemler:

- 1- Asenkron ardışıl devre nedir? Araştırınız.
- 2- Deneyin sonunda yer alan soruları yanıtlamaya çalışınız.

Deneyde Yapılacak İşlemler:

1-

- a) Şekil 8.1'de JK bellek elemanlarından oluşturulmuş bir BCD asenkron (ripple) sayıcı devresini deney düzeneğiniz üzerinde kurunuz.



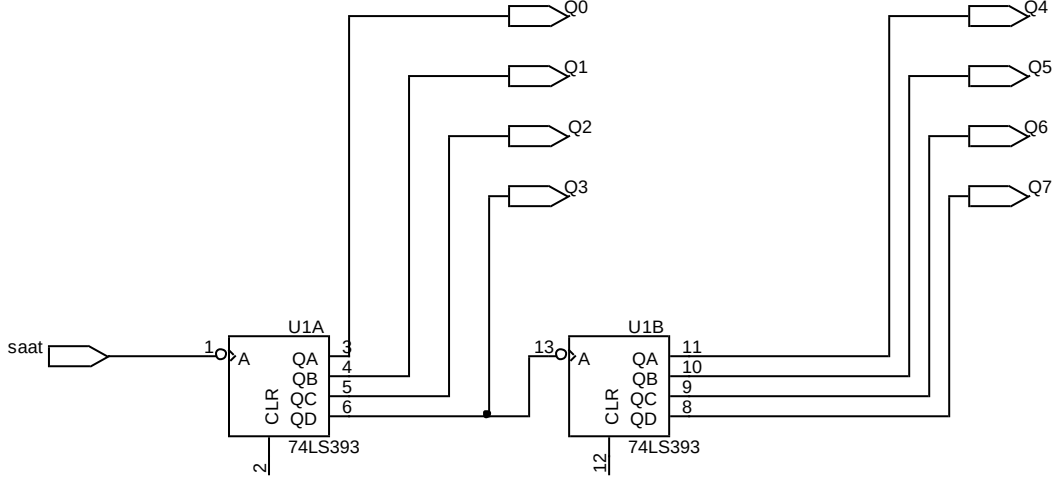
Şekil 8.1 SSI elemanlı BCD sayıcı devresi

- Bellek elemanları ve VE kapısına ilişkin tümleşik devrelerin besleme ve toprak bağlantılarını yapınız.
- Bellek elemanlarının CLR (clear) girişlerini kısa devre yaparak bir logic anahtara bağlayınız. Bu anahtarla (0000) başlangıç durumundan başlayarak sayma yapabilirsiniz.
- Bütün bellek elemanlarının PR (preset) girişlerini katalog bilgisine göre uygun sabit değerlere bağlayınız.
- A₄ A₃ A₂ A₁ çıkışlarını LED' lere bağlayınız.
- Bellek elemanlarının Q' çıkışlarını da diğer dört LED' e bağlayınız.
- Birinci bellek elemanının saat girişini sayacağınız darbeleri üretmek için bir çınlamasız anahtara bağlayınız.

- b) CLR girişini kullanarak sayıcınızı (0000) durumuna getiriniz. Sonra katalog bilgisine göre normal çalışma modunda girişe 10 tane saat darbesini ardarda uygulayarak çıkışı gözleyip kaydediniz.

2-

- a) 74LS393 TTL asenkron çift 4-bit ikili sayıcı tümleşik devresini kullanarak Şekil 8.2'deki 8 bitlik ikili sayıcı devresini kurunuz.

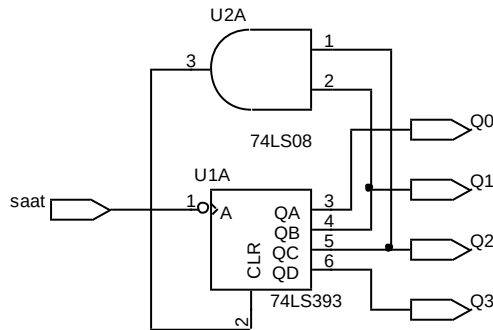


Şekil 8.2 Dual 4-Bit ikili sayıcı kullanılarak oluşturulan 8-Bit asenkron ikili sayıcı

- 5V besleme ve toprak bağlantılarını katalog bilgisine göre yapınız.
 - Her iki sayıcının CLEAR kontrol girişlerini kısa devre yaparak bir anahtara bağlayınız. (CLEAR=1 iken çıkışlar sıfırlanıyor, CLEAR=0 iken normal çalışma modunda oluyor, çünkü CLEAR girişinde küçük yuvarlak yok).
 - Birinci sayıcının saat girişini çınlamasız anahtara bağlayınız. 8 bitlik sayıcının LSB' i (en düşük ağırlıklı bit) 1Q_A olacaktır. MSB'i (en yüksek ağırlıklı bit) hangisidir?
 - Sayıcının saat girişine, 1. sayıcı çıkışlarından en yüksek ağırlıklı olan çıkışı bağlayınız. (Asenkron sayıcı).
 - Sayma işlemini gözleyebilmek için çıkışları LED' lere bağlayınız.
- b) CLEAR anahtarını kullanarak önce çıkışları sıfırlayınız, sonra ardarda saat darbeleri uygulayarak sayıcınızın 0'dan 255'e kadar saydığını gözleyiniz.
- c) Saat girişini TTL kare dalga jeneratöründen besleyerek çıkışları gözleyiniz. Jeneratörün frekansını değiştirerek sonuçları tekrar gözleyiniz.

3-

- a) Şekil 8.3'deki modülo-6 sayan sayıcı devresini, 74LS393'e bir 74LS08 iki girişli VE kapısı ekleyerek kurunuz.



Şekil 8.3 modülo-6 asenkron sayıcının lojik devresi

- b) Saat girişine darbeler uygulayarak çıkışta 0-5 saymayı gözleyiniz.
c) Benzer biçimde modülo-4 ve modülo-8 sayıcılar gerçekleyiniz.

Sorular

- 1- n-bit ikili ileri sayan asenkron sayıcıyı JK FF kullanarak gerçeklemek için ne yaparsınız? Bu amaçla kaç tane JK FF bellek elemanı ve kaç tane 74LS112 tümleşik devresi kullanmanız gerekir?
- 2- n-bit geriye sayan ikili asenkron sayıcıyı JK FF kullanarak gerçeklemek için ne yaparsınız?
- 3- Elinizde mevcut asenkron sayıcıdan yararlanarak 15-0 geriye sayan bir sayıcıyı nasıl tasarlıyorsunuz?
- 4- Modülo-n ileriye sayan ikili asenkron sayıcıyı, 74LS393 ikili asenkron sayıcıyı kullanarak gerçeklemek için ne yaparsınız?
- 5- Saat frekansını 2^n 'e bölen sayıcıyı, asenkron ikili sayıcı kullanarak (74LS393) gerçeklemek için ne yaparsınız?
- 6- İstenilen bir sayıdan başlayıp istenilen bir sayıya kadar sayan bir sayıcıyı 74LS393 ile gerçekleyebilir misiniz? Neden?
- 7- 3-11 sayan asenkron sayıcıyı JK tipi bellek elemanlarıyla gerçekleyiniz.

Malzeme Listesi :

- 2 adet 74LS112 JK FF tümleşik devresi
- 1 adet 74LS393 dual 4-bit asenkron sayıcı tümleşik devresi
- 1 adet 74LS08 VE kapısı

Deney 9: Yazmaç ve Programlanabilir Lojik Devreler İle Uygulamalar

Genel Bilgiler:

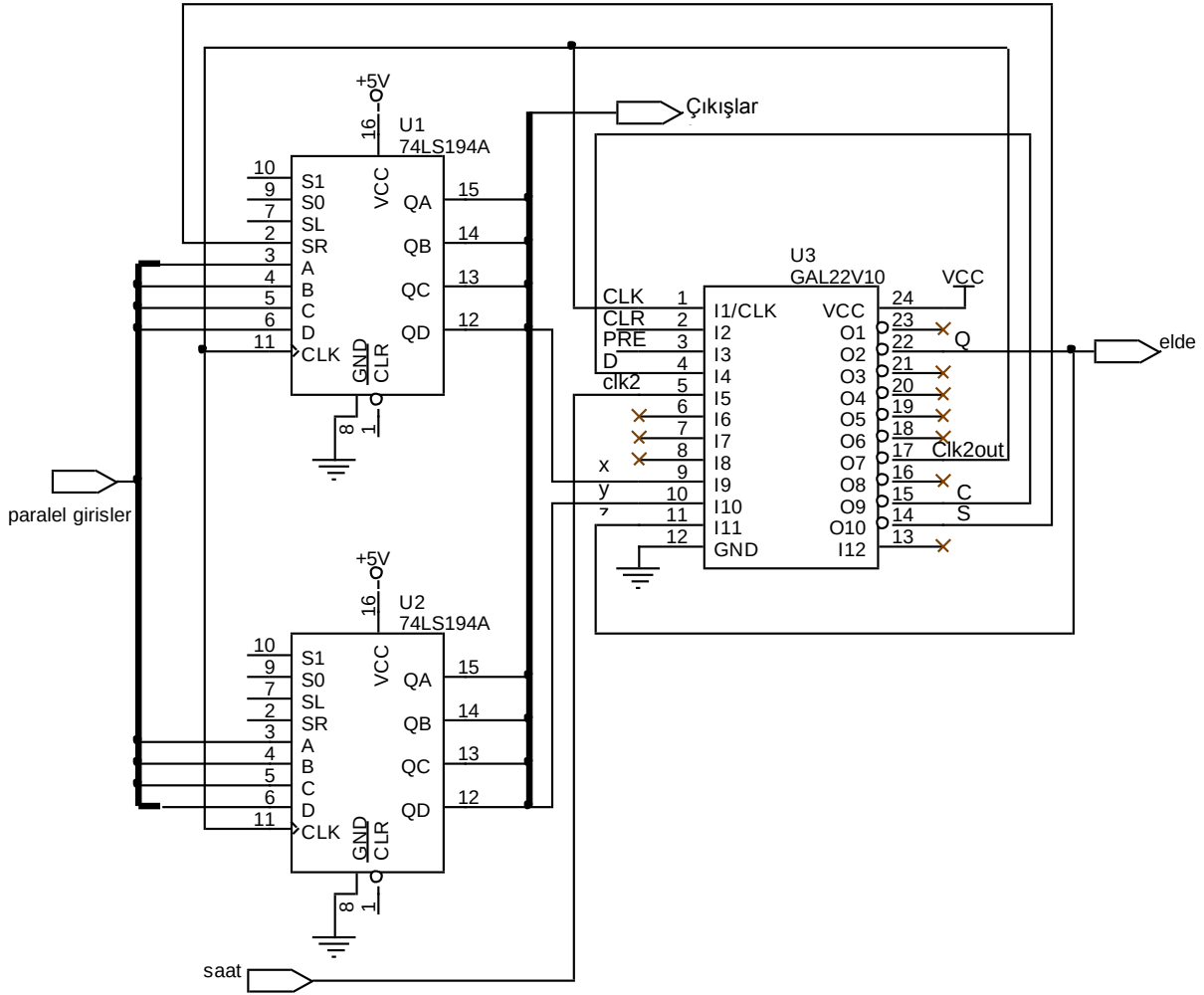
Orta ölçekli tümleşik devre elemanları arasında üniversal yazmaç, paralel yüklemesi, sağa sola ötelemesi olan bir elemandır. Bu elemanlar ardışıl devrelerin giriş verilerinin verilmesinde çıkış verilerinin ise tutulmasında kullanılabilirler. Bu deneyde böyle bir uygulama örneği yapılacaktır. Seri toplama devresinin toplanacak sayılarını temsil eden 4 bitlik iki giriş dizisini; birer yazmaç üzerinden verip, toplam çıkış sayısını 4 bitlik bir yazmaçta tutabiliriz. Ders notlarının 10. bölümünde SR bellek elemanı ile gerçekleştirilmiş bir seri toplama devresinin giriş ve çıkış verileri yazmaçlarda tutulmuştur. Yazmaç sayısını azaltmak için çıkış verisi giriş verilerinden birinin tutulduğu yazmaç üzerine alınmıştır. Bu deneyde de iki yazmaç, fakat SR yerine D bellek elemanı kullanacağız. PAL22V10 programlanabilir lojik elemanı ile tam toplayıcı fonksiyonunun yanı sıra, D bellek elemanı da gerçekleştirilecektir.

Deney Öncesi Yapılacak İşlemler:

- 1- Yarım ve tam toplayıcı devrelerine çalışınız.
- 2- Deneyde kullanılacak tümleşik devrelerin katalog bilgilerini inceleyiniz.
- 3- 74LS194 Yazmaç tümleşik devresinin çalışma modlarını öğreniniz.
- 4- Deneyin sonunda yer alan soruları yanıtlamaya çalışınız.

Deneyde Yapılacak İşlemler:

- 1- Şekil 9.1 de verilen devreyi deney setiniz üzerine kurunuz.
 - Bütün tümleşik devrelerin +5V besleme ve toprak, GND bağlantılarını yapınız.
 - Bellek elemanının preset, PRE girişini lojik 1 e bağlayınız. Neden?
 - Bellek elemanının clear, CLR girişini bir SPDT anahtara bağlayınız. Bu anahtar normal lojik anahtarın yaptığı işlevi de yapar.
 - Toplanacak 4'er bitlik A ve B sayılarını lojik anahtarlar üzerinden yazmaçların paralel girişlerine bağlayınız. Katalog bilgisinden yararlanınız.
 - 74LS194 Yazmaçların clear uçlarını Lojik 1 e bağlayınız. Neden?
 - S_0 mod girişini lojik 1 e bağlayınız. (Katalog bilgisine bakınız)
 - S_1 mod girişini istediğiniz gibi verebilmeniz için diğer SPDT anahtara bağlayınız.
 - İki yazmacın çıkışlarını giriş ve çıkış verilerini gözleyebilmek için LED' lere bağlayınız.
 - Çınlamasız anahtardan alınan ve uyumlu olmayan saat işareti, TTL, CMOS teknolojileri ile üretilmiş yazmaçların ve GAL22V10 tümleşik devresinin içindeki bellek elemanlarının farklı zamanlarda tetiklenmesine ve devrenin yanlış çalışmasına neden olmaktadır. Bu nedenle çınlamasız anahtardan alınan saat işareti **clk2** (U3 uç5) girişi olarak alınmış ve uyumlu olarak **clk2out** (U3 uç17, bkz. PAL programı) çıkışından dışarıya verilmiştir. Yazmaçların ve GAL22V10 elemanının **CLK** (U3 uç1) saat girişlerinin **clk2out** ucundan (U3 uç17) alınması gerekmektedir.
 - D bellek elemanının çıkışını deney düzeneğindeki probe-LED'e bağlayınız. Buradan hem başlangıç eldesini, hem de MSB (en yüksek ağırlıklı bitler) den gelen eldeleri görmek mümkün olacaktır.



Şekil 9.1 Giriş ve çıkış verileri yazmaçlarda tutulan bir seri toplama devresi

2- Toplama işlemi iki aşamada yapılacaktır.

- Birincisi toplanacak sayıların yazmaçlara yüklenmesidir. Bu amaçla toplamak istediğiniz sayıları lojik anahtarlar üzerinden yazmaçların paralel girişlerine veriniz. Bunun için S_0 S_1 mod girişleri katalog bilgisine göre paralel yükleme modunda olmalıdır.
- İkinci aşama, iki sayının toplanması ve sonucun bir yazmaca yazılmasıdır. Bu amaçla yazmaçları katalog bilgilerine göre sağa kaydırma moduna getirerek, 4 defa saat darbesi vermek gerekir.
- Bellek elemanın clear, CLR girişiyle başlangıç durumu lojik 0 a getirilmelidir. Sonra bu giriş normal çalışma değerine alınmalıdır. Katalog bilgisine başvurunuz.
- En ağırlıklı bitlerden gelen elde bellek elemanının durumu ve probe-LED'den gözlemlenebilir.

- 3- Aşağıdaki sayıların toplama işlemini kurduğunuz devrede yaparak sonuçları tabloya aktarınız.

Tablo 9-1 4-bitlik seri toplayıcının giriş/çıkış tablosu

A (onluk)	B (onluk)	A (ikilik)	B (ikilik)	D çıkışı	A yazmacı	B yazmacı
10	4					
9	7					
14	13					
15	15					

Sorular:

- 1- Seri toplama devresinde yazmaç kullanarak ne kazandık, kullanmasak olur muydu?
- 2- A yazmacındaki sonuç ne zaman toplamı verir?
- 3- 4 bitlik yerine 8 bitlik sayıların toplamını elde etmek isteseydik hangi ilaveleri yapmak gerekirdi? Neden? Bunu genelleştirerek herhangi bir uzunluktaki iki sayıyı toplamak için ne yapacağınızı açıklayınız.
- 4- Seri ve paralel toplama devrelerini karşılaştırınız.
- 5- Çalışması yukarıda incelediğiniz devreye dayalı olan bir hesap makinesinde toplama işlemi yaptığınızı düşününüz. Aşağıdaki işlem sırasına göre yazmaçlar ve bellek elemanlarının kontrol girişleri nasıl çalışmalıdır?
 - clear tuşuna basılır,
 - birinci sayı girilir,
 - + girişine basılır,
 - ikinci sayı girilir,
 - = işaretine basılır.
- 6- İki tabanında üç sayıyı, yukarıdaki devreye hiçbir ilave yapmadan toplayabilir miyiz? Nasıl? Devrenin büyük sayılar için de doğru çalıştığını kontrol ediniz.
- 7- Devrede programlanan PAL22V10'un toplayıcı ve D bellek elemanı ayrı olarak oluşturulmuştur. D'nin girişinin ve çıkışının bağlantılarının PAL'in içinde yapılması için, PAL programının kaynak dosyası dökümünde yapılacak değişiklikleri belirtiniz.

Malzeme Listesi:

- 2 adet 74LS194 yazmaç elemanı tümleşik devresi
- 1 adet GAL22V10 PAL elemanı (Deneyden önce programlanmış olmalı.)

PAL Programı:

```
Name      Deney9 ;
Date      22.09.2003 ;
Company   Atmel ;
Device    g22V10 ;
```

```
/* ***** INPUT PINS *****/
PIN 1 = clk;
PIN [2..4] = [!CLR,!PRE,D];
PIN 5 = clk2;
PIN [9..11] = [X,Y,Z];
/* ***** OUTPUT PINS *****/
PIN [14,15] = [S,C];
PIN 22 = Q;
PIN 17 = clk2out;

/* EQUATIONS */
S = X $ Y $ Z;
C = (X & Y) # (X & Z) # (Y & Z);
Q.d = D;
Q.ar = CLR & !PRE;
Q.sp = PRE & !CLR;
clk2out = clk2;
```

1 Mbit (128Kb x8) UV EPROM and OTP EPROM

- 5V ± 10% SUPPLY VOLTAGE in READ OPERATION
- ACCESS TIME: 35ns
- LOW POWER CONSUMPTION:
 - Active Current 30mA at 5MHz
 - Standby Current 100µA
- PROGRAMMING VOLTAGE: 12.75V ± 0.25V
- PROGRAMMING TIME: 100µs/word
- ELECTRONIC SIGNATURE
 - Manufacturer Code: 20h
 - Device Code: 05h

DESCRIPTION

The M27C1001 is a 1 Mbit EPROM offered in the two ranges UV (ultra violet erase) and OTP (one time programmable). It is ideally suited for micro-processor systems requiring large programs and is organized as 131,072 words of 8 bits.

The FDIP32W (window ceramic frit-seal package) and the LCCC32W (leadless chip carrier package) have a transparent lids which allow the user to expose the chip to ultraviolet light to erase the bit pattern. A new pattern can then be written to the device by following the programming procedure.

For applications where the content is programmed only one time and erasure is not required, the M27C1001 is offered in PDIP32, PLCC32 and TSOP32 (8 x 20 mm) packages.

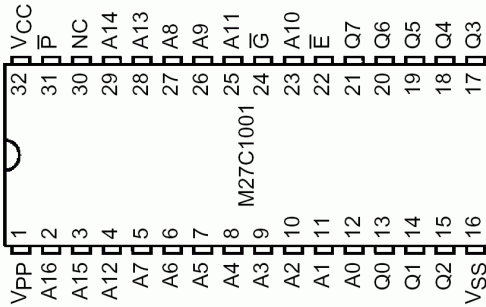
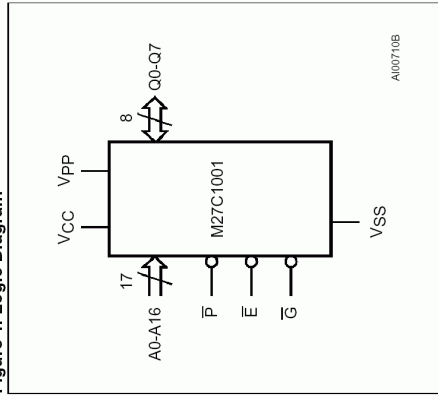


Figure 1. Logic Diagram



EKLER EK 1.

Deneyde Kullanılan Tümlleşik Devrelerin Katalog Bilgileri

M27C1001

Table 2. Absolute Maximum Ratings ⁽¹⁾

Symbol	Parameter	Value	Unit
T _A	Ambient Operating Temperature ⁽³⁾	-40 to 125	°C
T _{BIAS}	Temperature Under Bias	-50 to 125	°C
T _{STG}	Storage Temperature	-65 to 150	°C
V _{IO} ⁽²⁾	Input or Output Voltage (except A9)	-2 to 7	V
V _{CC}	Supply Voltage	-2 to 7	V
V _{A9} ⁽²⁾	A9 Voltage	-2 to 13.5	V
V _{PP}	Program Supply Voltage	-2 to 14	V

Note: 1. Except for the rating "Operating Temperature Range", stresses above those listed in the Table "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only and operation of the device at these or any other conditions above those indicated in the Operating sections of this specification is not implied. Exposure to Absolute Maximum Rating conditions for extended periods may affect device reliability. Refer also to the STMicroelectronics SURE Program and other relevant quality documents.

2. Minimum DC voltage on Input or Output is -0.5V with possible undershoot to -2.0V for a period less than 20ns. Maximum DC voltage on Output is V_{CC} +0.5V with possible overshoot to V_{CC} +2V for a period less than 20ns.

3. Depends on range.

Table 1. Signal Names

A0-A16	Address Inputs
Q0-Q7	Data Outputs
$\bar{E}$	Chip Enable
$\bar{G}$	Output Enable
$\bar{P}$	Program
V _{PP}	Program Supply
V _{CC}	Supply Voltage
V _{SS}	Ground
NC	Not Connected Internally

Table 3. Operating Modes

Mode	$\bar{E}$	$\bar{G}$	$\bar{P}$	A9	V _{PP}	Q7-Q0
Read	V _{IL}	V _{IL}	X	X	V _{CC} or V _{SS}	Data Out
Output Disable	V _{IL}	V _{IL}	X	X	V _{CC} or V _{SS}	Hi-Z
Program	V _{IL}	V _{IL}	V _{IL} Pulse	X	V _{PP}	Data In
Verify	V _{IL}	V _{IL}	V _{IL}	X	V _{PP}	Data Out
Program Inhibit	V _{IL}	X	X	X	V _{PP}	Hi-Z
Standby	V _{IL}	X	X	X	V _{CC} or V _{SS}	Hi-Z
Electronic Signature	V _{IL}	V _{IL}	V _{IL}	V _{ID}	V _{CC}	Codes

Note: X = V_{IH} or V_{IL}. V_{ID} = 12V ± 0.5V.

Table 4. Electronic Signature

Identifier	A0	Q7	Q6	Q5	Q4	Q3	Q2	Q1	Q0	Hex Data
Manufacturer's Code	V _{IL}	0	0	1	0	0	0	0	0	20h
Device Code	V _{IH}	0	0	0	0	0	1	0	1	05h

54LS04/DM54LS04/DM74LS04 Hex Inverting Gates

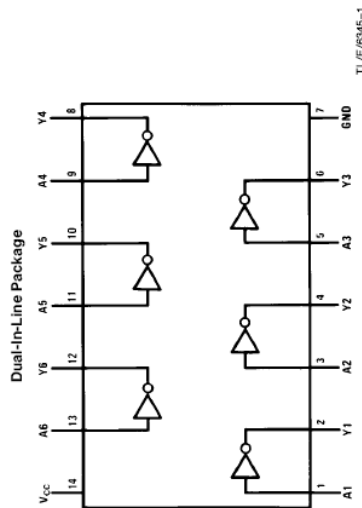
General Description

This device contains six independent gates each of which performs the logic INVERT function.

Features

- Alternate Military/Aerospace device (54LS04) is available. Contact a National Semiconductor Sales Office/Distributor for specifications.

Connection Diagram



Order Number 54LS04FMOB, 54LS04LMOB, 54LS04MQB, DM54LS04J, DM54LS04W, DM74LS04M or DM74LS04N
See NS Package Number E20A, J14A, M14A, N14A or W14B

Function Table

$$Y = \bar{A}$$

Input	Output
A	Y
L	H
H	L

H = High Logic Level
L = Low Logic Level

Absolute Maximum Ratings (Note)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	7V
Input Voltage	7V
Operating Free Air Temperature Range	–55°C to +125°C
DM54LS and 54LS	0°C to +70°C
DM74LS	–65°C to +150°C
Storage Temperature Range	–65°C to +150°C

Note: The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

Recommended Operating Conditions

Symbol	Parameter	DM54LS04			DM74LS04			Units
		Min	Nom	Max	Min	Nom	Max	
V_{CC}	Supply Voltage	4.5	5	5.5	4.75	5	5.25	V
V_{IH}	High Level Input Voltage	2			2			V
V_{IL}	Low Level Input Voltage			0.7			0.8	V
I_{OH}	High Level Output Current			–0.4			–0.4	mA
I_{OL}	Low Level Output Current			4			8	mA
T_A	Free Air Operating Temperature	–55		125	0		70	°C

Electrical Characteristics over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions	Min	Typ (Note 1)	Max	Units
V_I	Input Clamp Voltage	$V_{CC} = \text{Min}, I_I = -18 \text{ mA}$			–1.5	V
V_{OH}	High Level Output Voltage	$V_{CC} = \text{Min}, I_{OH} = \text{Max}, V_{IL} = \text{Max}$	DM54 2.5	3.4		V
			DM74 2.7	3.4		V
V_{OL}	Low Level Output Voltage	$V_{CC} = \text{Min}, I_{OL} = \text{Max}, V_{IH} = \text{Min}$	DM54 0.25	0.35	0.4	V
		$I_{OL} = 4 \text{ mA}, V_{CC} = \text{Min}$	DM74 0.25	0.35	0.5	V
I_I	Input Current @ Max Input Voltage	$V_{CC} = \text{Max}, V_I = 7 \text{ V}$			0.1	mA
I_{IH}	High Level Input Current	$V_{CC} = \text{Max}, V_I = 2.7 \text{ V}$			20	μA
I_{IL}	Low Level Input Current	$V_{CC} = \text{Max}, V_I = 0.4 \text{ V}$			–0.36	mA
I_{OS}	Short Circuit Output Current	$V_{CC} = \text{Max}$ (Note 2)	DM54 –20		–100	mA
			DM74 –20		–100	mA
I_{COH}	Supply Current with Outputs High	$V_{CC} = \text{Max}$		1.2	2.4	mA
I_{COL}	Supply Current with Outputs Low	$V_{CC} = \text{Max}$		3.6	6.6	mA

Switching Characteristics at $V_{CC} = 5 \text{ V}$ and $T_A = 25^\circ\text{C}$ (See Section 1 for Test Waveforms and Output Load)

Symbol	Parameter	$R_L = 2 \text{ k}\Omega$			Units
		Min	Max	Max	
t_{PLH}	Propagation Delay Time Low to High Level Output	3	10	15	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	3	10	15	ns

Note 1: All typicals are at $V_{CC} = 5 \text{ V}, T_A = 25^\circ\text{C}$.

Note 2: Not more than one output should be shorted at a time, and the duration should not exceed one second.

March 1988

CD4049UBM/CD4049UBC Hex Inverting Buffer
CD4050BM/CD4050BC Hex Non-Inverting Buffer

General Description

These hex buffers are monolithic complementary MOS (CMOS) integrated circuits constructed with N- and P-channel enhancement mode transistors. These devices feature a logic level conversion using only one supply voltage (V_{DD}). The input signal high level (V_{IH}) can exceed the V_{DD} supply voltage when these devices are used for logic level conversion. These devices are intended for use as hex buffers, CMOS to TTL/TTL converters, or as CMOS current drivers. At $V_{DD} = 5.0V$, they can drive directly two TTL/TTL loads over the full operating temperature range.

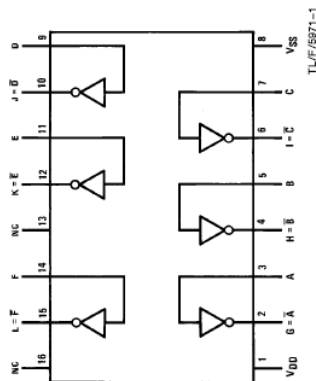
Features

- Wide supply voltage range 3.0V to 15V
- Direct drive to 2 TTL loads at 5.0V over full temperature range
- High source and sink current capability
- Special input protection permits input voltages greater than V_{DD}

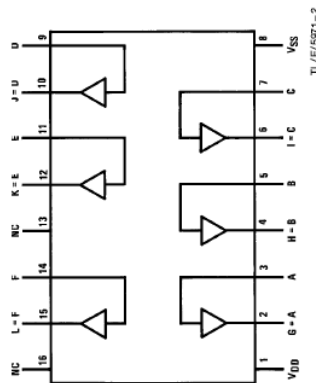
Applications

- CMOS hex inverter/buffer
- CMOS to DTL/TTL hex converter
- CMOS current “sink” or “source” driver
- CMOS high-to-low logic level converter

Connection Diagrams



1-800-477-4771



TL/F/5971-2

Recommended Operating

Conditions (Note 2)

Supply Voltage (V_{DD})Supply Voltage (V_{DD})
Input Voltage (V_{in})

Input Voltage (VIN)
Voltage at Any Output Pin (VOUT)

Operating Temperature Range

CD4049UBM, CD4050BM

Symbol	Parameter	Conditions	−55°C		+25°C			+125°C		Units
			Min	Max	Min	Typ	Max	Min	Max	
I _{DD}	Quiescent Device Current	V _{DD} = 5V V _{DD} = 10V V _{DD} = 15V	1.0 2.0 4.0		1.0 0.01 0.01 0.03	1.0 2.0 4.0	30 60 120	μA μA μA		
V _{OL}	Low Level Output Voltage	V _{IH} = V _{DD} , V _{IL} = 0V, I _{OL} < 1 μA V _{DD} = 5V V _{DD} = 10V V _{DD} = 15V		0.05 0.05 0.05	0 0 0	0.05 0.05 0.05		V V V		
V _{OH}	High Level Output Voltage	V _{IH} = V _{DD} , V _{IL} = 0V, I _{OL} < 1 μA V _{DD} = 5V V _{DD} = 10V V _{DD} = 15V	4.95 9.95 14.95		4.95 9.95 14.95		4.95 9.95 14.95	V V V		
V _{IL}	Low Level Input Voltage (CD4050BM Only)	I _{OL} < 1 μA V _{DD} = 5V, V _O = 0.5V V _{DD} = 10V, V _O = 1V V _{DD} = 15V, V _O = 1.5V	1.5 3.0 4.0		2.25 4.5 6.75	1.5 3.0 4.0	1.5 3.0 4.0	V V V		
V _{IH}	Low Level Input Voltage (CD4049UBM Only)	I _{OL} < 1 μA V _{DD} = 5V, V _O = 4.5V V _{DD} = 10V, V _O = 9V V _{DD} = 15V, V _O = 13.5V	1.0 2.0 3.0		1.5 2.5 3.5	1.0 2.0 3.0	1.0 2.0 3.0	V V V		
V _{IH}	High Level Input Voltage (CD4050BM Only)	I _{OL} < 1 μA V _{DD} = 5V, V _O = 4.5V V _{DD} = 10V, V _O = 9V V _{DD} = 15V, V _O = 13.5V	3.5 7.0 11.0		3.5 7.0 8.25		3.5 7.0 11.0	V V V		
V _{IH}	High Level Input Voltage (CD4049UBM Only)	I _{OL} < 1 μA V _{DD} = 5V, V _O = 0.5V V _{DD} = 10V, V _O = 1V V _{DD} = 15V, V _O = 1.5V	4.0 8.0 12.0		4.0 7.5 11.5		4.0 8.0 12.0	V V V		
I _{OL}	Low Level Output Current (Note 3)	V _{IH} = V _{DD} , V _{IL} = 0V V _{DD} = 5V, V _O = 0.4V V _{DD} = 10V, V _O = 0.5V V _{DD} = 15V, V _O = 1.5V	5.6 12 35		4.6 9.8 29	5 12 40	3.2 6.8 20	mA mA mA		

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed; they are not meant to imply that the devices should be operated at these limits. The table of "Recommended Operating Conditions" and "Electrical Characteristics" provides conditions for actual device operation.

Note 2: $V_{SS} = 0V$ unless otherwise specified.

Note 3: These are peak output current capabilities. Continuous output current is rated at 12 mA maximum. The output current should not be allowed to exceed this value for extended periods of time. I_{IN} and I_{OUT} are tested one output at a time.

54LS32/DM54LS32/DM74LS32 Quad 2-Input OR Gates



National Semiconductor

May 1989

54LS32/DM54LS32/DM74LS32 Quad 2-Input OR Gates

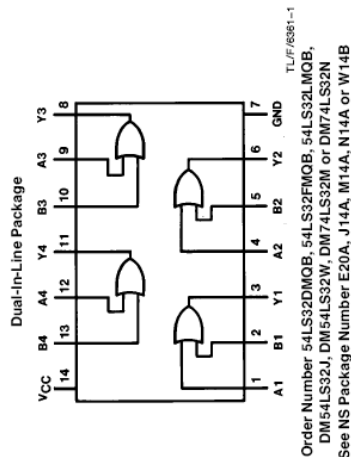
General Description

This device contains four independent gates each of which performs the logic OR function.

Features

- Alternate Military/Aerospace device (54LS32) is available. Contact a National Semiconductor Sales Office/Distributor for specifications.

Connection Diagram



Function Table

$$Y = A + B$$

Inputs		Output
A	B	Y
L	L	L
L	H	H
H	L	H
H	H	H

H = High Logic Level
L = Low Logic Level

54LS08/DM54LS08/DM74LS08 Quad 2-Input AND Gates



National Semiconductor

June 1989

54LS08/DM54LS08/DM74LS08 Quad 2-Input AND Gates

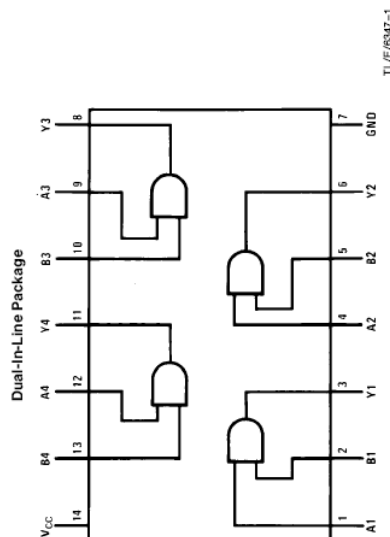
General Description

This device contains four independent gates each of which performs the logic AND function.

Features

- Alternate Military/Aerospace device (54LS08) is available. Contact a National Semiconductor Sales Office/Distributor for specifications.

Connection Diagram



Function Table

$$Y = AB$$

Inputs		Output
A	B	Y
L	L	L
L	H	L
H	L	L
H	H	H

H = High Logic Level
L = Low Logic Level

54LS00/DM54LS00/DM74LS00 Quad 2-Input NAND Gates



National Semiconductor

June 1989

54LS00/DM54LS00/DM74LS00 Quad 2-Input NAND Gates

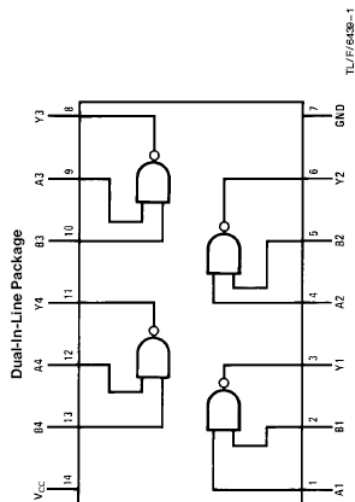
General Description

This device contains four independent gates each of which performs the logic NAND function.

Features

- Alternate Military/Aerospace device (54LS00) is available. Contact a National Semiconductor Sales Office/Distributor for specifications.

Connection Diagram



Order Number 54LS00DMQB, 54LS00FMBQ, 54LS00LMQB, DM54LS00J, DM54LS00W, DM74LS00M or DM74LS00N
See NS Package Number E20A, J14A, M14A, N14A or W14B

Function Table

$$Y = \overline{AB}$$

Inputs		Output
A	B	Y
L	L	H
L	H	H
H	L	H
H	H	L

H = High Logic Level
L = Low Logic Level

DM54LS86/DM74LS86 Quad 2-Input Exclusive-OR Gates



National Semiconductor

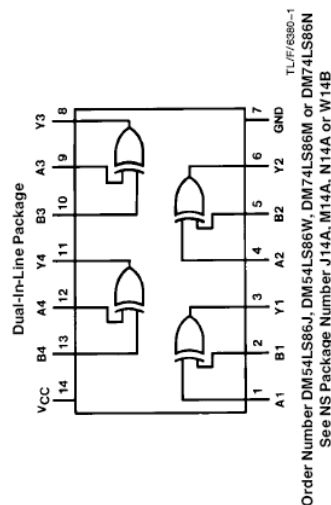
June 1989

DM54LS86/DM74LS86
Quad 2-Input Exclusive-OR Gates

General Description

This device contains four independent gates each of which performs the logic exclusive-OR function.

Connection Diagram



Order Number DM54LS86J, DM54LS86W, DM74LS86M or DM74LS86N
See NS Package Number J14A, M14A, N14A or W14B

Function Table

$$Y = A \oplus B = \overline{A}B + A\overline{B}$$

Inputs		Output
A	B	Y
L	L	L
L	H	H
H	L	H
H	H	L

H = High Logic Level
L = Low Logic Level

54LS138/DM54LS138/DM74LS138, 54LS139/DM54LS139/DM74LS139 Decoders/Demultiplexers

June 1989

National Semiconductor

54LS138/DM54LS138/DM74LS138,
54LS139/DM54LS139/DM74LS139
Decoders/Demultiplexers

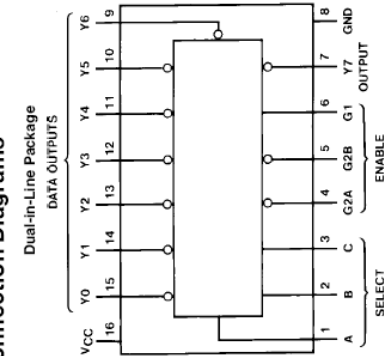
General Description

These Schottky-clamped circuits are designed to be used in high-performance memory-decoding or data-routing applications, requiring very short propagation delay times. In high-performance memory systems these decoders can be used to minimize the effects of system decoding. When used with high-speed memories, the delay times of these decoders are usually less than the typical access time of the memory. This means that the effective system delay introduced by the decoder is negligible.

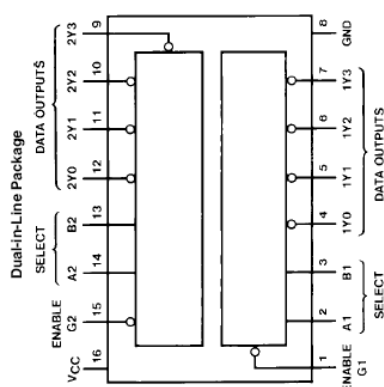
Features

- Designed specifically for high speed:
 - Memory decoders
 - Data transmission systems
 - LS138 3-to-8-line decoders incorporates 3 enable inputs to simplify cascading and/or data reception
 - LS139 contains two fully independent 2-to-4-line decoders/demultiplexers
- Schottky clamped for high performance
 - Typical propagation delay (3 levels of logic)
 - LS138 21 ns
 - LS139 21 ns
- Typical power dissipation
 - LS138 32 mW
 - LS139 34 mW
- Alternate Military/Aerospace devices (54LS138, 54LS139) are available. Contact a National Semiconductor Sales Office/Distributor for specifications.

Connection Diagrams



Order Number 54LS138DMOB, 54LS138FMOB,
54LS138LMOB, DM54LS138J, DM54LS138W,
DM74LS138M or DM74LS138N
See NS Package Number E20A, J16A,
M16A, N16E or W16A



Order Number 54LS139DMOB, 54LS139FMOB,
54LS139LMOB, DM54LS139U, DM54LS139W,
DM74LS139M or DM74LS139N
See NS Package Number E20A, J16A,
M16A, N15E or W16A

©1995 National Semiconductor Corporation TL/F/6391

RRD-830M105/Printed in U. S. A.

June 1989

National Semiconductor

54LS153/DM54LS153/DM74LS153 Dual 4-Line to 1-Line Data Selector

General Description

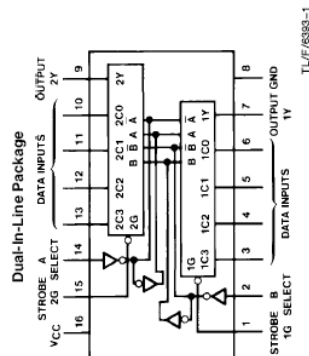
Each of these data selectors/multiplexers contains inverters and drivers to supply fully complementary, on-chip, binary decoding data selection to the AND-OR-invert gates. Separate strobe inputs are provided for each of the two four-line sections.

- Strobe (enable) line provided for cascading (N lines to N lines)
- High fan-out, low impedance, totem pole outputs
- Typical average propagation delay times
 - From data 14 ns
 - From strobe 19 ns
 - From select 22 ns
- Typical power dissipation 31 mW
- Alternate Military/Aerospace device (54LS153) is available. Contact a National Semiconductor Sales Office/Distributor for specifications.

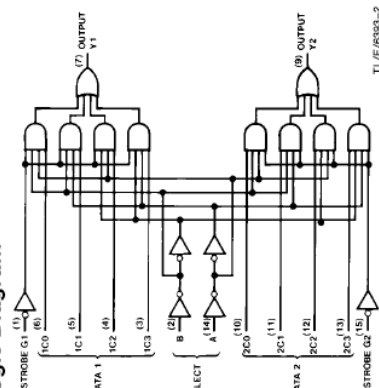
Features

- Permits multiplexing from N lines to 1 line
 - Performs at parallel-to-serial conversion
 - Performs at serial-to-parallel conversion
- Alternate Military/Aerospace device (54LS153) is available. Contact a National Semiconductor Sales Office/Distributor for specifications.

Connection Diagram



Logic Diagram



Function Table

Select Inputs			Data Inputs				Strobe	Output
B	A		C0	C1	C2	C3		Y
X	X		X	X	X	X	H	L
L	L		L	X	X	X	L	L
L	L		X	X	X	X	L	H
L	H		X	L	X	X	L	L
L	H		X	X	X	X	L	H
H	L		X	X	H	X	L	L
H	H		X	X	X	X	L	L
H	H		X	X	X	H	L	L

Select inputs A and B are common to both sections.
H = High Level, L = Low Level, X = Don't Care

©1995 National Semiconductor Corporation TL/F/6393

RRD-B30M105/Printed in U. S. A.

'LS139 Electrical Characteristics

over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions	Min	Typ (Note 1)	Max	Units
V_i	Input Clamp Voltage	$V_{CC} = \text{Min}, I_i = -18 \text{ mA}$			-1.5	V
V_{OH}	High Level Output Voltage	$V_{CC} = \text{Min}, I_{OH} = \text{Max},$ $V_{IL} = \text{Max}, V_{IH} = \text{Min}$	2.5 2.7	3.4 3.4		V
V_{OL}	Low Level Output Voltage	$V_{CC} = \text{Min}, I_{OL} = \text{Max}$ $V_{IL} = \text{Max}, V_{IH} = \text{Min}$	DM54 DM74	0.25 0.35	0.4 0.5	V
		$I_{OL} = 4 \text{ mA}, V_{CC} = \text{Min}$	DM74	0.25	0.4	
I_i	Input Current @ Max Input Voltage	$V_{CC} = \text{Max}, V_i = 7V$			0.1	mA
I_{IH}	High Level Input Current	$V_{CC} = \text{Max}, V_i = 2.7V$			20	μA
I_{IL}	Low Level Input Current	$V_{CC} = \text{Max}, V_i = 0.4V$			-0.36	mA
I_{OS}	Short Circuit Output Current	$V_{CC} = \text{Max}$ (Note 2)	-20 -20		-100 -100	mA
I_{CC}	Supply Current	$V_{CC} = \text{Max}$ (Note 3)		6.8	11	mA

Note 1: All typicals are at $V_{CC} = 5V$, $T_A = 25^{\circ}C$.

Note 2: Not more than one output should be shorted at a time, and the duration should not exceed one second.

Note 3: l_{cc} is measured with all outputs enabled and open.

'LS139 Switching Characteristics

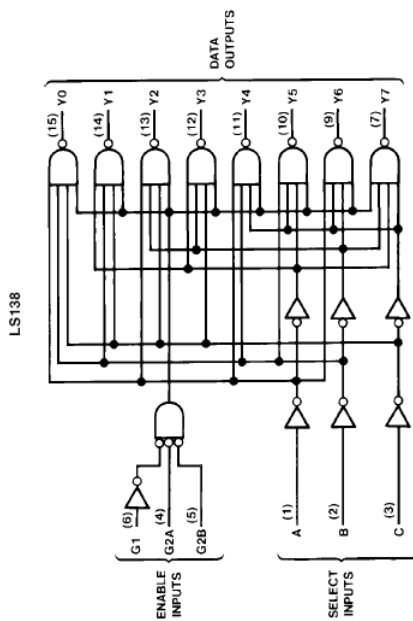
at $V_{CC} = 5V$ and $T_A = 25^\circ C$ (See Section 1 for Test Waveforms and Output Load)

Symbol	Parameter	From (Input) To (Output)	R _L = 2 kΩ						Units
			C _L = 15 pF		C _L = 50 pF		Max		
			Min	Max	Min	Max			
t _{pLH}	Propagation Delay Time Low to High Level Output	Select to Output		18			27	ns	
t _{pHL}	Propagation Delay Time High to Low Level Output	Select to Output		27			40	ns	
t _{pLH}	Propagation Delay Time Low to High Level Output	Enable to Output		18			27	ns	
t _{pHL}	Propagation Delay Time High to Low Level Output	Enable to Output		24			40	ns	

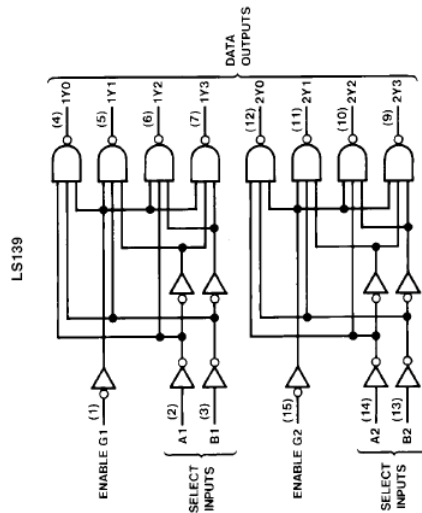
Function Tables

[illegible]
$$\bullet G2 = G2A + G2B$$

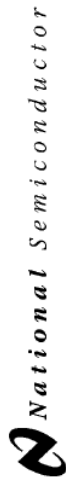
H = High Level, L = Low Level, X = Don't Care



TL/F/6391-3



TL/F/6391-4



June 1989

54LS283/DM54LS283/DM74LS283 4-Bit Binary Adders with Fast Carry

General Description

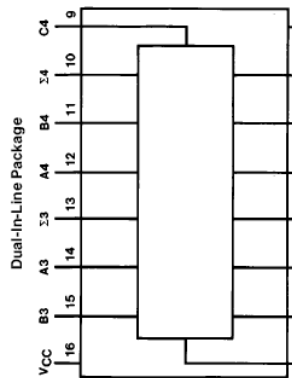
These full adders perform the addition of two 4-bit binary numbers. The sum (Σ) outputs are provided for each bit and the resultant carry (C_4) is obtained from the fourth bit. These adders feature full internal look-ahead across all four bits. This provides the system designer with partial look-ahead performance at the economy and reduced package count of a ripple-carry implementation.

The adder logic, including the carry, is implemented in its true form meaning that the end-around carry can be accomplished without the need for logic or level inversion.

Features

- Full-carry look-ahead across the four bits
- Systems achieve partial look-ahead performance with the economy of ripple carry
- Typical add times
 - Two 8-bit words 25 ns
 - Two 16-bit words 45 ns
- Typical power dissipation per 4-bit adder 95 mW
- Alternate Military/Aerospace device (54LS283) is available. Contact a National Semiconductor Sales Office/Distributor for specifications.

Connection Diagram



Order Number 54LS283DMOB, 54LS283FMOB, 54LS283LMOB,
DM54LS283J, DM54LS283W, DM74LS283M or DM74LS283N
See NS Package Number E20A, J16A, M16A, N16E or W16A

TL/F/6421-1

Switching Characteristics at $V_{CC} = 5V$ and $T_A = 25^\circ C$ (See Section 1 for Test Waveforms and Output Load)

Symbol	Parameter	From (Input) To (Output)	$R_L = 2\text{ k}\Omega$				Units	
			$C_L = 15\text{ pF}$		$C_L = 50\text{ pF}$			
			Min	Max	Min	Max		
t_{PLH}	Propagation Delay Time Low to High Level Output	C_0 to $\Sigma 1, \Sigma 2$		24		28	ns	
t_{PHL}	Propagation Delay Time High to Low Level Output	C_0 to $\Sigma 1, \Sigma 2$		24		30	ns	
t_{PLH}	Propagation Delay Time Low to High Level Output	C_0 to $\Sigma 3$		24		28	ns	
t_{PHL}	Propagation Delay Time High to Low Level Output	C_0 to $\Sigma 3$		24		30	ns	
t_{PLH}	Propagation Delay Time Low to High Level Output	C_0 to $\Sigma 4$		24		28	ns	
t_{PHL}	Propagation Delay Time High to Low Level Output	C_0 to $\Sigma 4$		24		30	ns	
t_{PLH}	Propagation Delay Time Low to High Level Output	A_1 or B_1 to $\Sigma 1$		24		28	ns	
t_{PHL}	Propagation Delay Time High to Low Level Output	A_1 or B_1 to $\Sigma 1$		24		30	ns	
t_{PLH}	Propagation Delay Time Low to High Level Output	C_0 to C_4		17		24	ns	
t_{PHL}	Propagation Delay Time High to Low Level Output	C_0 to C_4		17		25	ns	
t_{PLH}	Propagation Delay Time Low to High Level Output	A_1 or B_1 to C_4		17		24	ns	
t_{PHL}	Propagation Delay Time High to Low Level Output	A_1 or B_1 to C_4		17		26	ns	

Function Table

Input				Outputs							
				When $C_0 = L$				When $C_0 = H$			
A_1	B_1	A_2	B_2	$\Sigma 1$	$\Sigma 2$	$\Sigma 3$	$\Sigma 4$	C_1	C_2	$\Sigma 1$	$\Sigma 2$
L	L	L	L	L	L	L	L	L	L	L	L
L	L	L	H	L	L	L	L	L	L	L	L
L	L	H	L	L	L	L	L	L	L	L	L
L	L	H	H	L	L	L	L	L	L	L	L
L	H	L	L	L	L	L	L	L	L	L	L
L	H	L	H	L	L	L	L	L	L	L	L
L	H	H	L	L	L	L	L	L	L	L	L
L	H	H	H	L	L	L	L	L	L	L	L
H	L	L	L	L	L	L	L	L	L	L	L
H	L	L	H	L	L	L	L	L	L	L	L
H	L	H	L	L	L	L	L	L	L	L	L
H	L	H	H	L	L	L	L	L	L	L	L
H	H	L	L	L	L	L	L	L	L	L	L
H	H	L	H	L	L	L	L	L	L	L	L
H	H	H	L	L	L	L	L	L	L	L	L
H	H	H	H	L	L	L	L	L	L	L	L

H = High Level, L = Low Level

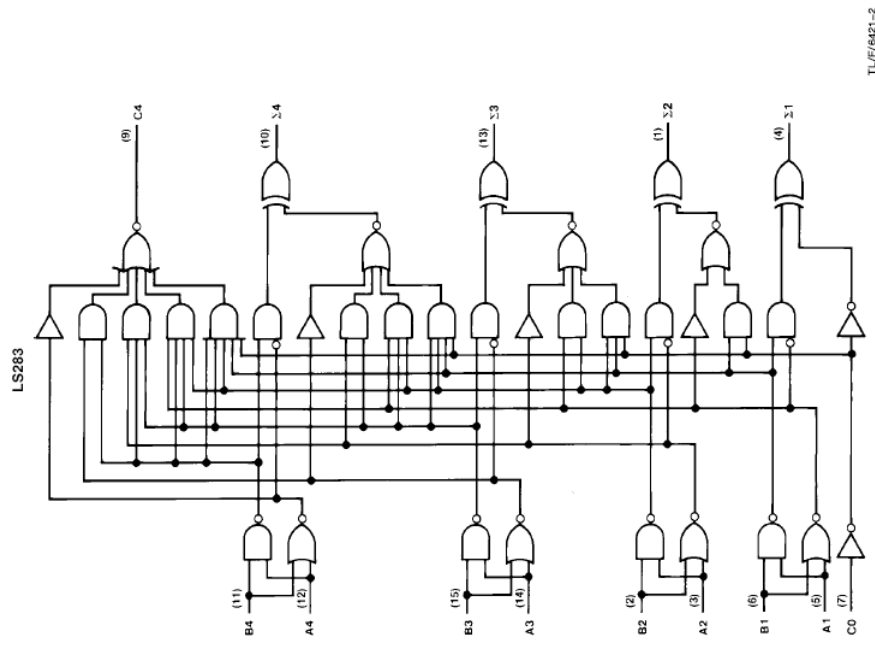
Note: Input conditions at A_1, B_1, A_2, B_2 , and C_0 are used to determine outputs $\Sigma 1$ and $\Sigma 2$ and the value of the internal carry C_2 . The values at C_2, A_3, B_3, A_4 , and B_4 are then used to determine outputs $\Sigma 3, \Sigma 4$, and C_4 .

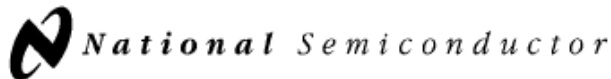
TU/F/6421--3

TL/F/6421-3

54LS283/DM54LS283/DM74LS283 4-Bit Binary Adders with Fast Carry

Logic Diagram





January 1988

MM54HC112/MM74HC112 Dual J-K Flip-Flops with Preset and Clear

General Description

These high speed (30 MHz minimum) J-K Flip-Flops utilize advanced silicon-gate CMOS technology to achieve the low power consumption and high noise immunity of standard CMOS integrated circuits, along with the ability to drive 10 LS-TTL loads.

Each flip-flop has independent J, K, PRESET, CLEAR, and CLOCK inputs and Q and $\bar{Q}$ outputs. These devices are edge sensitive to the clock input and change state on the negative going transition of the clock pulse. Clear and preset are independent of the clock and accomplished by a low logic level on the corresponding input.

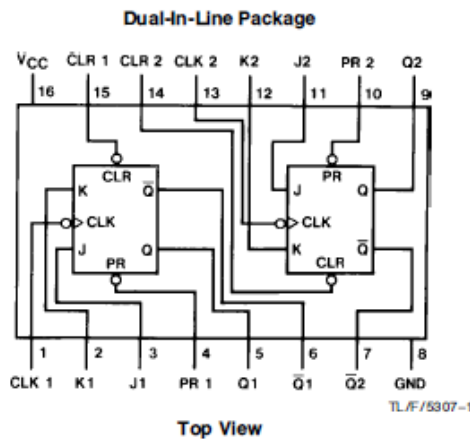
The 54HC/74HC logic family is functionally as well as pin-out compatible with the standard 54LS/74LS logic family. All inputs are protected from damage due to static discharge by internal diode clamps to V_{CC} and ground.

Features

- Typical propagation delay: 16 ns
- Wide operating voltage range
- Low input current: 1 μ A maximum
- Low quiescent current: 40 μ A (74HC Series)
- High output drive: 10 LS-TTL loads

Connection and Logic Diagrams

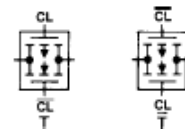
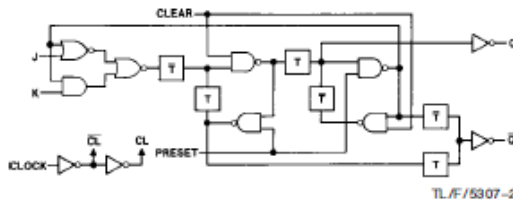
Truth Table



Order Number MM54HC112 or MM74HC112

Inputs					Outputs	
PR	CLR	CLK	J	K	Q	$\bar{Q}$
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	L*	L*
H	H	↓	L	L	Q0	$\bar{Q}0$
H	H	↓	H	L	H	L
H	H	↓	L	H	L	H
H	H	↓	H	H	TOGGLE	
H	H	H	X	X	Q0	$\bar{Q}0$

*This is an unstable condition, and is not guaranteed



Absolute Maximum Ratings (Notes 1 & 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage (V_{CC})	-0.5 to +7.0V
DC Input Voltage (V_{IN})	-1.5 to $V_{CC} + 1.5V$
DC Output Voltage (V_{OUT})	-0.5 to $V_{CC} + 0.5V$
Clamp Diode Current (I_{IK}, I_{OK})	± 20 mA
DC Output Current, per pin (I_{OUT})	± 25 mA
DC V_{CC} or GND Current, per pin (I_{CC})	± 50 mA
Storage Temperature Range (T_{STG})	-65°C to +150°C
Power Dissipation (P_D)	
(Note 3)	600 mW
S.O. Package only	500 mW
Lead Temp. (T_L) (Soldering 10 seconds)	260°C

Operating Conditions

	Min	Max	Units
Supply Voltage (V_{CC})	2	6	V
DC Input or Output Voltage (V_{IN}, V_{OUT})	0	V_{CC}	V
Operating Temp. Range (T_A)			
MM74HC	-40	+85	°C
MM54HC	-55	+125	°C
Input Rise or Fall Times (t_r, t_f)			
$V_{CC} = 2.0V$		1000	ns
$V_{CC} = 4.5V$		500	ns
$V_{CC} = 6.0V$		400	ns

DC Electrical Characteristics (Note 4)

Symbol	Parameter	Conditions	V _{CC}	T _A = 25°C		74HC T _A = −40 to 85°C	54HC T _A = −55 to 125°C	Units
				Typ	Guaranteed Limits			
V _{IH}	Minimum High Level Input Voltage		2.0V		1.5	1.5	1.5	V
			4.5V		3.15	3.15	3.15	V
			6.0V		4.2	4.2	4.2	V
V _{IL}	Maximum Low Level Input Voltage**		2.0V		0.5	0.5	0.5	V
			4.5V		1.35	1.35	1.35	V
			6.0V		1.8	1.8	1.8	V
V _{OH}	Minimum High Level Output Voltage	V _{IN} = V _{IH} or V _{IL} I _{OUT} ≤ 20 μA	2.0V	2.0	1.9	1.9	1.9	V
			4.5V	4.5	4.4	4.4	4.4	V
			6.0V	6.0	5.9	5.9	5.9	V
		V _{IN} = V _{IH} or V _{IL} I _{OUT} ≤ 4.0 mA I _{OUT} ≤ 5.2 mA	4.5V	4.2	3.98	3.84	3.7	V
			6.0V	5.7	5.48	5.34	5.2	V
V _{OL}	Maximum Low Level Output Voltage	V _{IN} = V _{IH} or V _{IL} I _{OUT} ≤ 20 μA	2.0V	0	0.1	0.1	0.1	V
			4.5V	0	0.1	0.1	0.1	V
			6.0V	0	0.1	0.1	0.1	V
		V _{IN} = V _{IH} or V _{IL} I _{OUT} ≤ 4.0 mA I _{OUT} ≤ 5.2 mA	4.5V	0.2	0.26	0.33	0.4	V
			6.0V	0.2	0.26	0.33	0.4	V
I _{IN}	Maximum Input Current	V _{IN} = V _{CC} or GND	6.0V		± 0.1	± 1.0	± 1.0	μA
I _{CC}	Maximum Quiescent Supply Current	V _{IN} = V _{CC} or GND I _{OUT} = 0 μA	6.0V		4.0	40	80	μA

Note 1: Absolute Maximum Ratings are those values beyond which damage to the device may occur.

Note 2: Unless otherwise specified all voltages are referenced to ground.

Note 3: Power Dissipation temperature derating — plastic "N" package: -12 mW/°C from 65°C to 85°C; ceramic "J" package: -12 mW/°C from 100°C to 125°C.

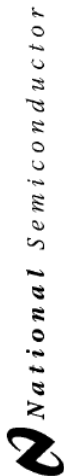
Note 4: For a power supply of $5V \pm 10\%$ the worst case output voltages (V_{OH} and V_{OL}) occur for HC at 4.5V. Thus the 4.5V values should be used when designing with this supply. Worst case V_{IH} and V_{IL} occur at $V_{CC} = 5.5V$ and 4.5V respectively. (The V_{IH} value at 5.5V is 3.85V.) The worst case leakage current (I_{IN} , I_{CC} , and I_{OZ}) occur for CMOS at the higher voltage and so the 6.0V values should be used.

** V_{IL} limits are currently tested at 20% of V_{CC} . The above V_{IL} specification (30% of V_{CC}) will be implemented no later than Q1, CY89.

AC Electrical Characteristics $V_{CC} = 5V$, $T_A = 25^{\circ}C$, $C_L = 15\text{ pF}$, $t_r = t_f = 6\text{ ns}$					
Symbol	Parameter	Conditions	Typ	Guaranteed Limit	Units
f_{MAX}	Maximum Operating Frequency		50	30	MHz
t_{PHL} , t_{PLH}	Maximum Propagation Delay, Clock to Q or $\bar{Q}$		16	21	ns
t_{PHL} , t_{PLH}	Maximum Propagation Delay, Clear to Q or $\bar{Q}$		21	26	ns
t_{PHL} , t_{PLH}	Maximum Propagation Delay, Preset to Q or $\bar{Q}$		23	28	ns
t_{REM}	Minimum Removal Time, Preset or Clear to Clock		10	20	ns
t_s	Minimum Setup Time J or K to Clock		14	20	ns
t_H	Minimum Hold Time J or K from Clock		-3	0	ns
t_W	Minimum Pulse Width Clock Preset or Clear		10	16	ns

AC Electrical Characteristics $C_L = 50\text{ pF}$, $t_r = t_f = 6\text{ ns}$ (unless otherwise specified)								
Symbol	Parameter	Conditions	V_{CC}	$T_A = 25^{\circ}C$		74HC $T_A = -40\text{ to }85^{\circ}C$	54HC $T_A = -55\text{ to }125^{\circ}C$	Units
				Typ	Guaranteed Limits			
f_{MAX}	Maximum Operating Frequency		2.0V	9	5	4	3	MHz
			4.5V	45	27	21	18	MHz
			6.0V	53	31	24	20	MHz
t_{PHL} , t_{PLH}	Maximum Propagation Delay, Clock to Q or $\bar{Q}$		2.0V	100	126	160	183	ns
			4.5V	20	25	32	37	ns
			6.0V	17	21	27	32	ns
t_{PHL} , t_{PLH}	Maximum Propagation Delay, Clear to Q or $\bar{Q}$		2.0V	126	155	191	250	ns
			4.5V	25	31	39	47	ns
			6.0V	21	26	33	40	ns
t_{PHL} , t_{PLH}	Maximum Propagation Delay, Preset to Q or $\bar{Q}$		2.0V	137	165	210	240	ns
			4.5V	27	33	41	50	ns
			6.0V	23	28	35	40	ns
t_{REM}	Minimum Removal Time Preset or Clear to Clock		2.0V	55	100	125	150	ns
			4.5V	11	20	25	30	ns
			6.0V	9.4	17	21	25	ns
t_s	Minimum Setup Time J or K to Clock		2.0V	77	100	125	150	ns
			4.5V	15	20	25	30	ns
			6.0V	13	17	21	25	ns
t_H	Minimum Hold Time J or K from Clock		2.0V	-3	0	0	0	ns
			4.5V	-3	0	0	0	ns
			6.0V	-3	0	0	0	ns
t_W	Minimum Pulse Width Preset, Clear or Clock		2.0V	55	80	100	120	ns
			4.5V	11	16	20	24	ns
			6.0V	9	14	18	20	ns
t_{TLH} , t_{THL}	Maximum Output Rise and Fall Time		2.0V	30	75	95	110	ns
			4.5V	8	15	19	22	ns
			6.0V	7	13	16	19	ns
t_r , t_f	Maximum Input Rise and Fall Time		2.0V		1000	1000	1000	ns
			4.5V		500	500	500	ns
			6.0V		400	400	400	ns
C_{PD}	Power Dissipation Capacitance (Note 5)	(per flip-flop)		80				pF
C_{IN}	Maximum Input Capacitance			5	10	10	10	pF

Note 5: C_{PD} determines the no load dynamic power consumption, $P_D = C_{PD} V_{CC}^2 f + I_{CC} V_{CC}$, and the no load dynamic current consumption, $I_S = C_{PD} V_{CC} f + I_{CC}$.



June 1989

54LS169/DM54LS169A/DM74LS169A Synchronous 4-Bit Up/Down Binary Counter

General Description

This synchronous presettable counter features an internal carry look-ahead for cascading in high-speed counting applications. Synchronous operation is provided by having all flip-flops clocked simultaneously, so that the outputs all change at the same time when so instructed by the count-enable inputs and internal gating. This mode of operation helps eliminate the output counting spikes that are normally associated with asynchronous (ripple clock) counters. A buffered clock input triggers the four master-slave flip-flops on the rising edge of the clock waveform.

This counter is fully programmable; that is, the outputs may each be preset either high or low. The load input circuitry allows loading with the carry-enable output of cascaded counters. As loading is synchronous, setting up a low level at the load input disables the counter and causes the outputs to agree with the data inputs after the next clock pulse. The carry look-ahead circuitry permits cascading counters for n-bit synchronous applications without additional gating. Both count-enable inputs ($\bar{P}$ and $\bar{T}$) must be low to count. The direction of the count is determined by the level of the up/down input. When the input is high, the counter counts up; when low, it counts down. Input $\bar{T}$ is fed forward to enable the carry outputs. The carry output thus enabled will produce a low-level output pulse with a duration approximately equal to the high portion of the Q_A output when

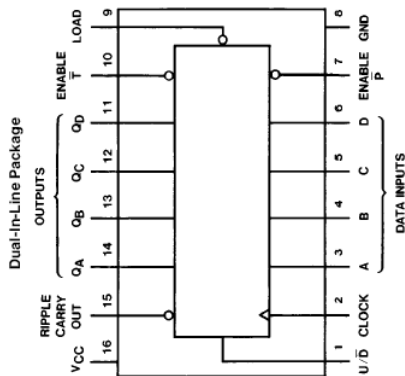
counting up, and approximately equal to the low portion of the Q_A output when counting down. This low-level overflow carry pulse can be used to enable successively cascaded stages. Transitions at the enable $\bar{P}$ or $\bar{T}$ inputs are allowed regardless of the level of the clock input. All inputs are diode clamped to minimize transmission-line effects, thereby simplifying system design.

This counter features a fully independent clock circuit. Changes at control inputs (enable $\bar{P}$, enable $\bar{T}$, load, up/down), which modify the operating mode, have no effect until clocking occurs. The function of the counter (whether enabled, disabled, loading, or counting) will be dictated solely by the conditions meeting the stable setup and hold times.

Features

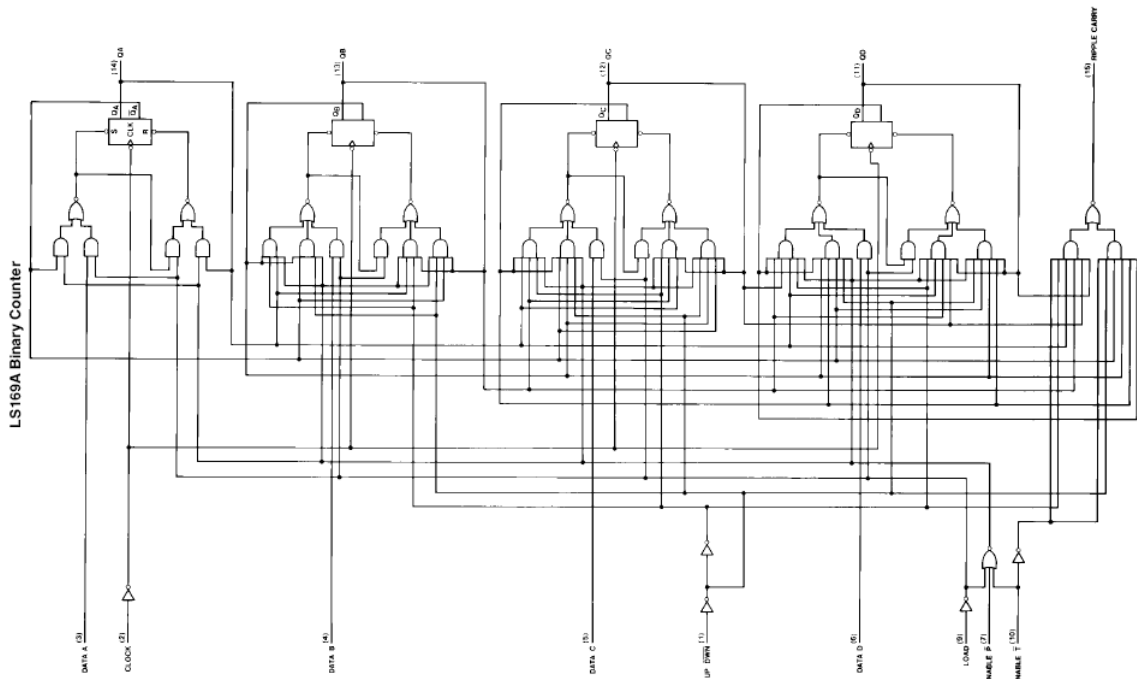
- Fully synchronous operation for counting and programming.
- Internal look-ahead for fast counting.
- Carry output for n-bit cascading.
- Fully independent clock circuit
- Alternate Military/Aerospace device (54LS169) is available. Contact a National Semiconductor Sales Office/Distributor for specifications.

Connection Diagram



Order Number 54LS169DMOB, 54LS169FMOB, 54LS169LMOB,
DM54LS169AJ, DM54LS169AW, DM74LS169AM or DM74LS169AN
See NS Package Number E20A, J16A, M16A, N16E or W16A

Logic Diagram



54LS194A/DM74LS194A 4-Bit Bidirectional Universal Shift Register

June 1989

National Semiconductor

54LS194A/DM74LS194A 4-Bit Bidirectional Universal Shift Register

General Description

This bidirectional shift register is designed to incorporate virtually all of the features a system designer may want in a shift register; they feature parallel inputs, parallel outputs, right-shift and left-shift serial inputs, operating-mode-control inputs, and a direct overriding clear line. The register has four distinct modes of operation, namely:

- Parallel (broadside) load
- Shift right (in the direction Q_A toward Q_D)
- Shift left (in the direction Q_D toward Q_A)
- Inhibit clock (do nothing)

Synchronous parallel loading is accomplished by applying the four bits of data and taking both mode control inputs, S_0 and S_1 , high. The data is loaded into the associated flip-flops and appear at the outputs after the positive transition of the clock input. During loading, serial data flow is inhibited.

Shift right is accomplished synchronously with the rising edge of the clock pulse when S_0 is high and S_1 is low.

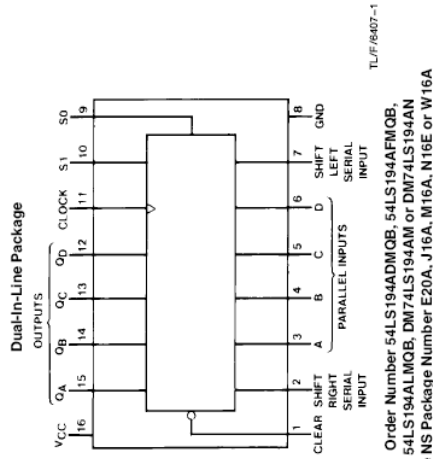
Serial data for this mode is entered at the shift-right data input. When S_0 is low and S_1 is high, data shifts left synchronously and new data is entered at the shift-left serial input.

Clocking of the flip-flop is inhibited when both mode control inputs are low.

Features

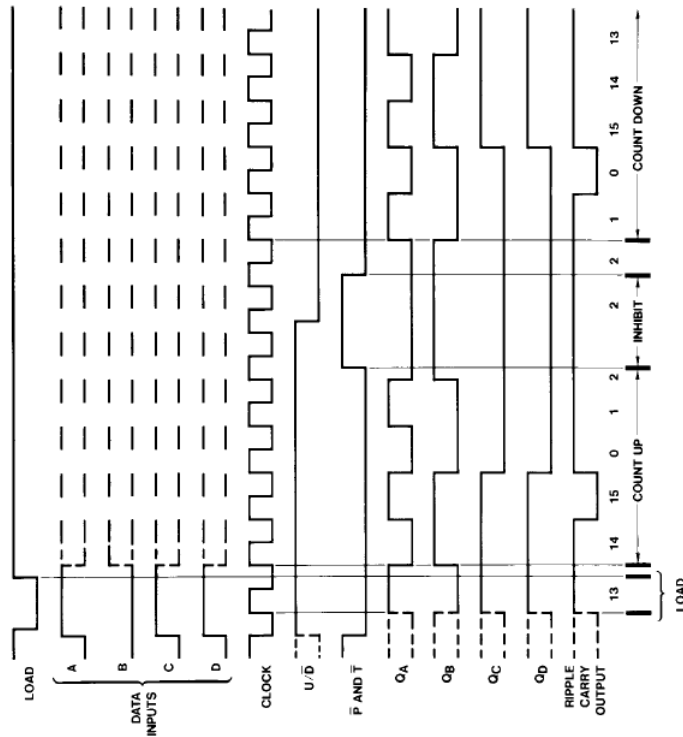
- Parallel inputs and outputs
- Four operating modes:
 - Synchronous parallel load
 - Right shift
 - Left shift
 - Do nothing
- Positive edge-triggered clocking
- Direct overriding clear

Connection Diagram



Timing Diagram

LS169A Binary Counters
Typical Load, Count, and Inhibit Sequences



Switching Characteristics at $V_{CC} = 5V$ and $T_A = 25^\circ C$ (See Section 1 for Test Waveforms and Output Load)

Note 1: All typicals are at $V_{CC} = 5V$, $T_A = -25^{\circ}C$.

Note 2: Not more than one output should be shorted at a time, and the duration should not exceed one second.

Note 3: With all outputs open, inputs A through D grounded, and 4.5V applied to S0, S1, CLEAR, and the serial inputs, I_{CC} is tested with momentary ground, then 4.5V applied to CLOCK.

Logic Diagram



Function Table

$H = H$ = High Level (steady state), $L = L$ = Low Level (steady state), $X = X$ = Core (any input, including transitions)
 $\uparrow$ = Transition from low to high level
 a, b, c, d = The level of steady state input at inputs A, B, C or D, respectively.
 $Q_1, Q_2, Q_3, Q_4, Q_5, Q_6, Q_7, Q_8, Q_9, Q_{10}$ = The level of $Q_1, Q_2, Q_3, Q_4, Q_5, Q_6, Q_7, Q_8, Q_9, Q_{10}$, respectively, before the indicated steady state input conditions were established.
 $\uparrow_{Q_1}, \uparrow_{Q_2}, \uparrow_{Q_3}, \uparrow_{Q_4}, \uparrow_{Q_5}, \uparrow_{Q_6}, \uparrow_{Q_7}, \uparrow_{Q_8}, \uparrow_{Q_9}, \uparrow_{Q_{10}}$ = The level of $Q_1, Q_2, Q_3, Q_4, Q_5, Q_6, Q_7, Q_8, Q_9, Q_{10}$, respectively, before the most recent $\uparrow$ transition of the clock.

Switching Characteristics at $V_{CC} = 5V$ and $T_A = 25^\circ C$ (See Section 1 for Test Waveforms and Output Load)



Kaynaklar

1. Almaini A.: 'Electronic Logic systems', Prentice-Hall, 1986.
2. Davio M., Deschamps J., Thayse A.: 'Digital Systems with Algorithm Implementation, John Wiley, 1979.
3. Dietmeyer, D.: 'Logic Design of Digital Systems', Allyn and Bacon, 1971.
4. Fletcher W.: 'An Engineering Approach to Digital Design', Prentice-Hall, 1980.
5. Givone, D.: 'Introduction to Switching Circuit Theory', McGraw-Hill, 1970.
6. Katz R.H.: 'Contemporary Logic Design' Benjamin/Cummings, 1994
7. Kohavi Z.: 'Switching and Automata Theory' 1974.
8. Lee S.: 'Modern Switching Theory and Digital Design', Prentice-Hall 1978.
9. Mano M.: 'Digital Logic and Computer Design', Prentice-Hall, 1990.
10. Pertman J.: 'Digital Hardware Design', McGraw-Hill, 1980.
11. Roth C.: 'Fundamentals of Logic Design', West Publishing, 2004.
12. Wood, P. : 'Switching Theory', McGraw-Hill, 1968.
13. Wakerly J.F. 'Digital Design' Prentice Hall, 2000
14. Sankur B., Stefanopoulos, Y.: 'Bilgisayar ve Lojik Devreleri', Boğaziçi Üniversitesi, 1994
15. Mano M.: 'Sayısal Tasarım', MEB Yayınları, 1994.
16. Eriş, E., Lojik Devreler Ders Notları, Yıldız Teknik Üniversitesi, 2001
17. Arsan T., Çölkesen R., Lojik Devre Tasarımı, Papatya yayıncılık, 2001
18. Mikroişlemci Sistemleri, Tuncay UZUN, 2005.
19. Lojik Devreler dersi ile ilgili projeler, bilgiler, ders notları ve kitap hakkındaki iletişim için Internet adresleri <http://www.ehm.yildiz.edu.tr/dmateryal.htm>
<http://www.tuncayuzun.com/> , <http://www.yildiz.edu.tr/~uzun>
20. PAL internet referansları
 - a. <http://www.cms.dmu.ac.uk/~sexton/WWWPages/pal/out.html>
 - b. <http://www.leonardo.caltech.edu/~ee5x/eecs52/general/referenc/palas.htm>
 - c. <http://www.latticesemi.com/>
 - d. <http://www.cypress.com/products/>
21. Technical Literature Database CD-ROM, ST Semiconductor, 2000
22. LS/S/TTL Logic Databook, National Semiconductor, 1987
23. Technical Literature Database CD-ROM, National Semiconductor Corporation, 1997
24. PAL/PLE DEVICE, Programmable Logic Array Handbook, Monolithic Memories Inc. 1986